

Gb/s 帯光配線用 VCSEL 光出力安定化  
駆動回路方式および LSI 化に関する研究

2008 年 3 月

李 言 勝

# 目 次

<b>第 1 章 序論</b> .....	1
1 . 1 本研究の背景 .....	1
1 . 2 本研究の目的 .....	4
1 . 3 本論文の概要 .....	4
<b>第 2 章 VCSELとその駆動回路方式への要求</b> .....	6
2 . 1 VCSELの諸特性 .....	6
2 . 1 . 1 VCSELの緩和振動および変調帯域 .....	6
2 . 1 . 2 VCSEL光出力の温度特性 .....	7
2 . 2 VCSEL駆動回路方式への要求 .....	9
2 . 3 本研究の設計目標 .....	10
<b>第 3 章 光出力安定化VCSEL駆動回路方式の提案</b> .....	11
3 . 1 開ループ光出力安定化回路方式 .....	11
3 . 1 . 1 VCSEL送信器の基本構成 .....	11
3 . 1 . 2 温度特性生成回路 .....	13
3 . 2 電流スイッチング回路 .....	15
3 . 3 入力バッファ回路 .....	17
3 . 3 . 1 多段差動回路の検討 .....	17
3 . 3 . 2 負帰還回路の導入による広帯域化 .....	20
<b>第 4 章 回路CADを用いたシミュレーションによる動作検証</b> .....	23
4 . 1 温度特性生成回路 .....	23
4 . 2 電流スイッチング回路 .....	25
4 . 3 入力バッファ回路 .....	26
4 . 3 . 1 多段差動増幅回路 .....	26
4 . 3 . 2 負帰還増幅回路 .....	27
4 . 4 VCSELのSPICEモデルおよび光出力波形の予測 .....	31
4 . 5 LSI-VCSEL実装に要求される要件 .....	35
<b>第 5 章 LSI試作および評価結果の考察</b> .....	38
5 . 1 試作LSIの電気特性評価基板の設計 .....	38

5.2	電気特性の評価結果 .....	42
5.2.1	駆動電流の温度特性 .....	42
5.2.2	変調電流のダイナミック特性 .....	45
5.3	VCSEL光出力特性の評価結果 .....	48
5.4	評価結果のまとめ .....	51
<b>第6章</b>	<b>結 論</b> .....	<b>52</b>
<b>謝</b>	<b>辞</b> .....	<b>53</b>
<b>参 考 文 献</b>	.....	<b>54</b>

## 図 表 目 次

図 1.1	伝送速度と許容伝送距離 .....	1
図 1.2	光配線用送受信モジュールの基本構成 .....	2
図 1.3	バイアス電流制御によるAPC方式 .....	3
表 1.1	光配線用VCSEL駆動回路方式の報告例 .....	3
図 2.1	VCSELの外部微分量子効率の周波数特性 .....	7
図 2.2	VCSEL光出力の駆動電流依存性 .....	8
図 2.3	要求されるVCSEL駆動電流の温度特性 .....	8
図 2.4	VCSEL開ループ光出力安定化方式の概念 .....	9
表 2-1	VCSEL駆動回路の設計目標 .....	10
図 3.1	VCSEL送信器のアーキテクチャ .....	11
図 3.2	VCSEL駆動回路の基本構成 .....	12
図 3.3	温度特性生成回路のコンセプト .....	13
図 3.4	温度特性生成回路の構成 .....	13
図 3.5	NMOSFET対電流スイッチング回路の基本構成 .....	15
図 3.6	VCSEL変調回路 .....	17
図 3.7	多段増幅回路のアーキテクチャ .....	18
図 3.8	多段縦続接続増幅回路の帯域と段数依存性 .....	19
図 3.9	負帰還入力バッファ回路の基本構成 .....	20
図 3.10	規格化総合利得と総合帯域幅との関係 .....	22
図 3.11	負帰還差動増幅回路の構成 .....	22
図 4.1	TDCS出力電流の周囲温度依存性 .....	23
図 4.2	電流変動量の抵抗 $R_6$ 依存性 .....	24
図 4.3	TFCS出力電流の周囲温度依存性 .....	24
図 4.4	温度特性生成回路の出力電流の周囲温度依存性 .....	25
図 4.5	電流スイッチング回路の入出力伝達特性 .....	26
図 4.6	利得 6dBにおける 1 段と 2 段差動増幅回路の周波数特性比較 .....	26
図 4.7	利得 12dBにおける 1 段と 2 段差動増幅回路の周波数特性比較 .....	27
図 4.8	周波数特性の比較 .....	27

図 4.9	二段負帰還増幅回路の周波数特性 .....	28
図 4.10	入力バッファ回路の出力アイパターン .....	29
図 4.11	変調電流のアイパターン .....	30
図 4.12	レート方程式を記述するVCSELの電氣的等価回路 .....	32
表 4.1	本研究のVCSELのパラメータ定数 .....	32
図 4.13	VCSELのI - L特性のシミュレーション結果 .....	33
図 4.14	小信号振幅変調時の周波数応答特性 .....	33
図 4.15	5Gb/s光出力波形のシミュレーション結果 .....	34
図 4.16	10Gb/s光出力波形のシミュレーション結果 .....	35
図 4.17	駆動回路およびVCSELの簡易等価モデル .....	35
図 4.18	5Gb/s変調電流に対する寄生インダクタンスの影響 .....	36
図 4.19	10Gb/s変調電流に対する寄生インダクタンスの影響 .....	37
図 5.1	試作した 4-CH VCSEL駆動回路LSIの概観 .....	38
表 5.1	プリント基板設計仕様 .....	39
図 5.2	評価基板の配線パターン .....	39
図 5.3	伝送線路のMomentumレイアウト .....	39
図 5.4	伝送線路のS(2,1)のMomentum解析結果 .....	40
図 5.5	電気特性評価基板およびLSIの実装法 .....	40
図 5.6	伝送線路インピーダンスのTDR測定結果 .....	41
図 5.7	温度特性生成回路出力電流の温度特性 .....	42
図 5.8	変調電流の温度特性 .....	43
図 5.9	バイアス電流の温度特性 .....	43
図 5.10	駆動電流の温度特性 .....	44
図 5.11	電流の電源電圧に対する変動(30 ) .....	44
図 5.12	ダイナミック特性の測定方法 .....	45
図 5.13	変調電流の 5Gb/sアイパターンの温度依存性 .....	46
図 5.14	変調電流の 10Gb/sアイパターンの温度依存性 .....	47
図 5.15	試作LSIおよびVCSELのセラミック基板への実装形態 .....	48
図 5.16	VCSEL光出力特性評価系のコンセプト .....	48
図 5.17	光出力特性の評価系の外観 .....	49

図 5.18	VCSEL光出力パワーの温度依存性 .....	49
図 5.19	30 , 50 , 70 におけるVCSEL出力の 5Gb/sアイパターン .....	50
表 5.2	本研究の開発目標と評価結果 .....	51

# 第 1 章 序論

## 1.1 本研究の背景

近年，音声や静止画像サービスに加え動画などの広帯域サービスの需要増大に伴って情報通信機器の高速・大容量化が求められており，ボード間や LSI チップ間のデータ伝送にも Gb/s 級の高速化が要求されるようになってきた。現在のボード間や LSI チップ間の配線には電気伝送路が用いられているが，電気伝送路の伝送帯域が狭い上に伝播損失が大きいため，高速化や伝送距離の長尺化が極めて困難になりつつあり，また，クロストークや電磁輻射等の問題がシステム性能向上のボトルネックになってきた。それ故，この配線ボトルネックを克服するために，高速・大容量データ伝送が可能で，損失が小さく，無誘導等に優れている光伝送技術を積極的に活用した光配線技術の研究開発が活発に行われている[1][2]。

図 1.1 に，電気伝送路は信号電圧の 10%以内の減衰，光ファイバの場合は光量が 10dB 以内の減衰を条件とした時の光配線および電気配線のそれぞれにおける伝送限界を示す[1]。図 1.1 より，伝送速度が 1 Gb/s を超える信号に対しては，電気伝送路の伝送距離が数 cm 程度以下に制限されるのに対し，光伝送路では 10cm 以上の伝送が可能であり，光配線が優位となることが分かる。図 1.2 に光配線用送

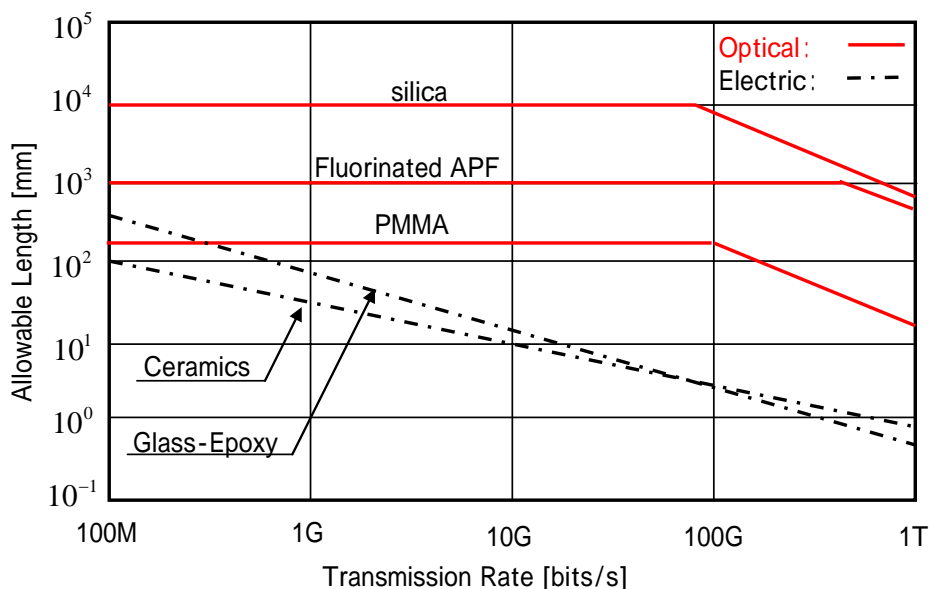
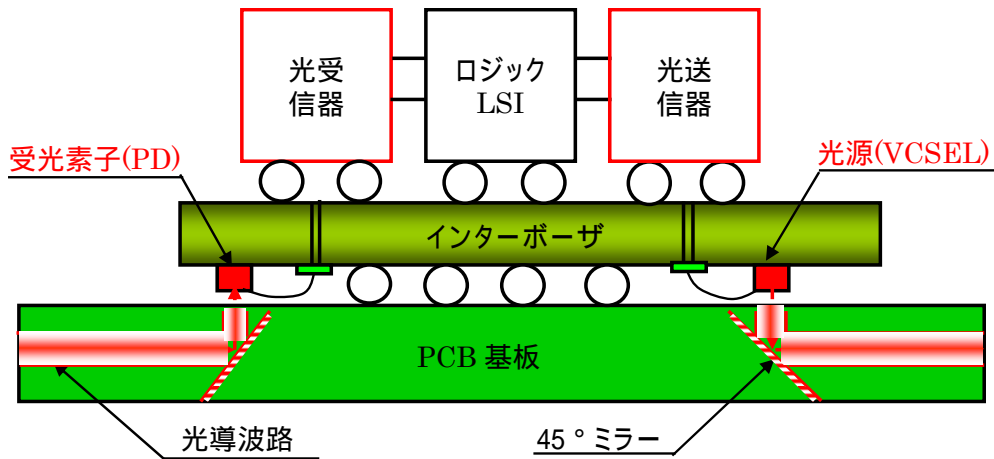


図 1.1 伝送速度と許容伝送距離



VCSEL: Vertical Cavity Surface-emitting Laser Diode PD: Photo

図 1.2 光配線用送受信モジュールの基本構成

受信モジュールの基本構成を示す[3]。モジュールは光信号の送受信インタフェースとなる光 I/O 部と信号処理用ロジック LSI で構成されている。ここで、光源(VCSEL)と受光素子(PD)はインターポーザに実装され、光信号は基板内に設けられた光導波路を介して伝送される。また、光源に低電流駆動が可能な VCSEL を用いることで、高速電気 I/O と同等の消費電力を実現できる。図 1.2 において、入力光は光導波路に入射され、導波路の途中に設けられたハーフミラーで直角に進路を曲げられ、PD にて光電気変換される。この信号は受信器で増幅され、ロジック LSI にて所望の信号処理が施される。光送信器はこの信号を電気光変換し、VCSEL から光信号として導波路をから出射される。

ところで、LDの発振閾値電流や外部微分量子効率などの特性は周囲温度によって大きく変動する。それ故、LD光出力パワーの変動を抑制するには、これら特性の温度変動を吸収できる光出力安定化回路方式の考案が必須となる。図 1.3 に、公衆光通信網で用いられてきた代表的なLD光送信器の構成を示すが、バイアス電流を制御して光出力パワーを一定に保つAPC (Automatic Power Control)方式が採用されてきた[4][5]。この方式では、まず、LD光出力パワーはモニタPDで電流に変換された後、トランスインピーダンス増幅回路で電圧に変換される。この変換された電圧は光出力パワーを決める基準電圧と比較され、その誤差分をバイアス電流に負帰還させて光出力パワーの安定化を図っている。図 1.3 の例では、変換電流は抵抗 $R_2$ 、容量 $C_1$ で構成される積分回路にて電圧に変換され、基準電圧 $V_{ref}$ と比較さ



れる。ここで、光出力パワーは基準電圧の調整によって任意的に設定できる。しかし、光配線の場合には、光送信器の小型化、低コスト化の観点から、PDや制御回路を削減できる開ループ光出力安定化方式の開発が必須となる。

光配線用の光源としては、一般に、発振閾値電流の小さい VCSEL が用いられている。表 1.1 は、これまでに検討されてきた光出力安定化制御方式を纏めたものである。バイアス電流制御方式、変調電流制御方式、電流無制御方式等、種々の方式が提案されてきたが、未だに満足できる制御方式は実現されていない。それ故、光出力パワーの更なる安定化を図るにはバイアス電流、変調電流同時制御方式による VCSEL 光出力安定化回路方式の確立が不可欠になっている。また、光配線では将来、10Gb/s 以上のデータ容量の伝送が必要となるため、VCSEL 高速変調回路方式および LSI 化技術の確立も重要な技術課題となっている。

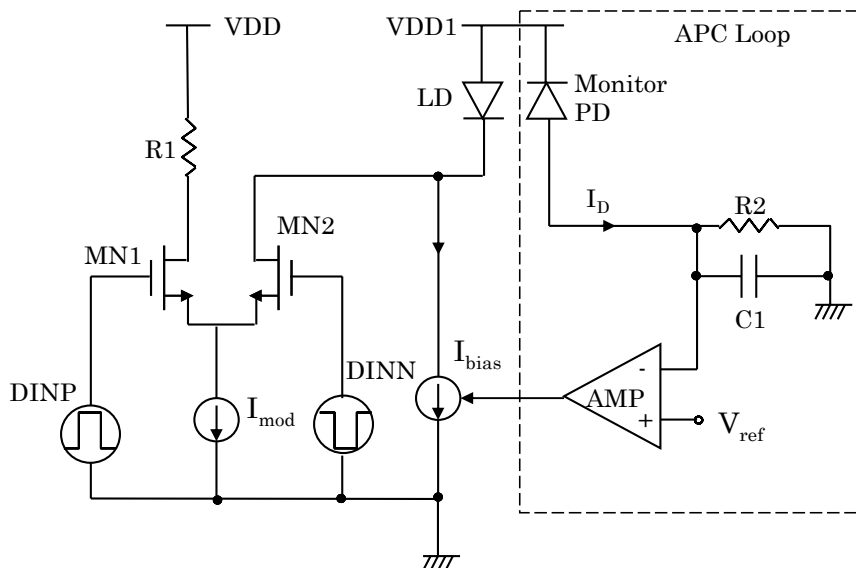


図 1.3 バイアス電流制御による APC 方式

表 1.1 光配線用 VCSEL 駆動回路方式の報告例

参考文献	プロセス	伝送速度 (Gb/s/ch)	光出力制御方式
[4] A.A.Ciubotaru	SiGe HBT	10	バイアス電流 (APC)
[5] S.Rabii	0.13 $\mu$ m-CMOS	10	バイアス電流(APC) 変調電流(DOM)*
[6] C.Kromer	80nm-CMOS	10	無制御
[7] S.Palermo	90nm-CMOS	16	無制御

\*DOM: Digital Optical Monitor

## 1.2 本研究の目的

Gb/s 帯光配線技術の実用化には、前項で述べたように VCSEL 光出力パワーの安定化回路方式および高速変調回路方式とそれらの LSI 化技術の確立が必須となる。本研究では、以上の技術課題を解決し、実用化の見通しを立てることを目的とした。具体的には各技術課題に対しバイアス電流、変調電流同時制御による開ループ光出力安定化回路方式、並びに、広帯域負帰還入力バッファ回路を導入した超高速変調が可能な光配線用 VCSEL 変調回路方式とそれらを具現化を可能とする CMOS プロセスに適した LSI 化技術を確立する[8][9]。

## 1.3 本論文の概要

本論文は以下の構成となっている。

第2章では、従来の光配線に関する研究報告と本研究の関連について考察している。VCSEL の変調帯域および温度特性など諸特性を解析すると共に光出力の変動要因について論じ、光出力安定化のための設計指針を明らかにしている。次に、技術課題を解決する方法として、変調電流・バイアス電流同時制御による開ループ VCSEL 光出力安定化回路方式を提案し、本研究の開発目標を開示している。

第3章では、提案したコンセプトに基づく入力バッファ回路、電流スイッチング回路および変調電流制御回路で構成される Gb/s 帯 VCSEL 駆動回路方式、並びに、光出力安定化回路方式の実現の可能性について検討している。ここでは、所望の変調電流およびバイアス電流の温度特性を得るため、機能の異なる二種類のバンドギャップレファレンス電流源から出力される正の温度係数を持つ電流と温度フリーで一定な電流とを減算した後に、電流増幅する回路方式が提案される。

第4章では、LSI 化に適した Gb/s 動作を可能とする変調回路方式を確立するため、電流スイッチング回路に要求される条件を明らかにし、負帰還入力バッファ回路の導入による広帯域化手法について論じている。また、これらの検討結果を踏まえ、CAD(Computer Aided Design)ツールである Cadence Spectre を用いて性能予測した結果から、Gb/s 動作が可能であることが確認される。また、VCSEL の動作を記述するレート方程式を SPICE モデル化した簡易な電氣的等価回路が出力光の動作解析に有用であることを明らかにしている。

第5章では、提案した変調電流・バイアス電流同時制御による開ループ光出力

安定化回路方式の有効性と 5Gb/s 動作の可能性を検証するために、0.18  $\mu\text{m}$  CMOS プロセスを用いて試作した VCSEL 駆動回路 LSI の性能が評価される。その結果、VCSEL 光出力レベルの変動は温度範囲 0 ~ 70 において  $3\text{dBm} \pm 0.15\text{dB}$  であり、変調電流・バイアス電流同時制御方式の有効性が実証される。5Gb/s 動作については、30 , 50 , 70 における変調電流および VCSEL 出力光のアイパターンにより評価され、良好なアイ開口が得られることが確認される。

第 6 章は結論である。本研究で得られた主要な研究成果を要約すると共に、今後の課題を総括している。

## 第 2 章 VCSEL とその駆動回路方式への要求

### 2.1 VCSEL の諸特性

VCSEL は半導体基板と垂直に光が表面から取り出せる LD の一種である。空間的に並列に情報を送る超並列光伝送システムや LSI チップ間を結ぶ並列光配線分野への応用を目指した LD 光源として注目されている[10]。本節では、VCSEL の緩和振動、変調帯域、出力温度特性など諸特性を考察し、駆動回路方式に要求される項目を明らかにする。

#### 2.1.1 VCSEL の緩和振動および変調帯域

LD は活性層で生じる誘導放出光を端面で反射させて増幅する光共振器の一種である。活性層の利得が損失を上回る電流レベルで LD は位相の揃ったコヒーレント光を出力する。従って、LD をパルス電流で直接変調すると、出力光に共振周波数  $f_r$  の緩和振動が生じる。LD の変調帯域は緩和振動周波数が目安となる。この周波数を超えると変調感度が急に低下する。緩和振動周波数は次式で表される[11]。

$$f_r = \frac{1}{2\pi} \sqrt{\frac{(\zeta N_t g \tau_p + 1)}{\tau_s \tau_p} \left( \frac{I_{avg}}{I_{th}} - 1 \right)} \quad \dots (2.1)$$

ここで、 $\zeta$  は光閉じ込め係数、 $N_t$  は透明キャリア密度、 $\tau_s$ 、 $\tau_p$  はそれぞれキャリア寿命時間と光子寿命時間、 $g$  は微分利得、 $I_{avg}$ 、 $I_{th}$  はそれぞれ駆動電流の平均値およびレーザの閾値電流である。この式から、レーザの固有パラメータを一定とすると、駆動電流 ( $I_{avg}$ ) が増加するに伴い、緩和振動周波数は増大していく。しかし、光出力が増大すると、VCSEL の発熱などによる利得飽和が原因となり、ダンピング現象が生じて帯域が制限されることになる。光配線のような応用では、低消費電力で、且つ、高速動作が要求されるので、これらのトレードオフを考慮した高速変調回路方式の確立が必要となる。図 2.1 に、本研究で用いる VCSEL の外部微分量子効率（光出力パワーの駆動電流に対する変化割合）の周波数特性の測定結果の一例を示す[12][13]。同図から分かるように、帯域（帯域）は駆動電流に対して大きな変動を示す。駆動電流が 8mA の時、帯域は最大となり、12GHz の変調が可能であることを示している。また、4mA 以上にすると 10Gb/s 伝送に必要な帯域 8GHz が得られることが分かる。これは、低消費電力化、

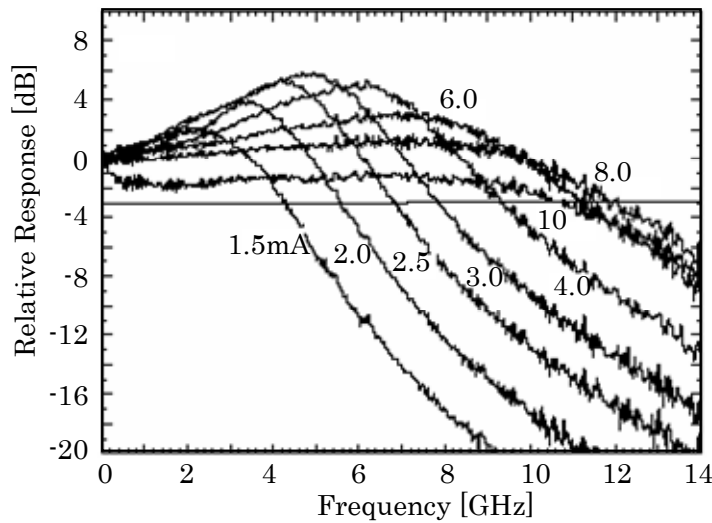


図 2.1 VCSEL の外部微分量子効率の周波数特性

低コスト化が要求される光配線では大きな利点となる。

### 2.1.2 VCSEL 光出力の温度特性

VCSEL の光出力変動は、主として周囲温度の変動によって生じる。ここでは、光出力の温度特性の解析を中心に検討する。自然放出光を無視すると、一定の駆動電流範囲において、VCSEL の光出力と駆動電流の関係は次式で近似できる。

$$P_0 = \begin{cases} (I - I_{th})^2 & I > I_{th} \\ 0 & I \leq I_{th} \end{cases} \quad \dots (2.2)$$

ここで、 $I$  は信号電流とバイアス電流の和電流（駆動電流）、 $I_{th}$  は閾値電流である。一般に、温度が上昇すると外部微分量子効率は減少し、閾値電流  $I_{th}$  は増大する。図 2.2 に、某社製 VCSEL の光出力パワーとの駆動電流との関係を示す [13]。この時、周囲温度をパラメータとした。同図から、光出力は駆動電流を大きくすると最大となる電流値があり、更に、駆動電流を増すと光出力は減少する傾向を示すことが分る。また、光出力が最大となる駆動電流は周囲温度が上昇するに伴い、低下する。ちなみに、30℃における駆動電流の値は 17mA であるが、70℃にすると 13mA となる。

VCSEL の光出力パワーを 3dBm (2mW)、1.8dBm (1.5mW)、0dBm (1mW) とそれぞれを一定に保つために求められる駆動電流の温度特性を図 2.3(a) に示す。ここでは、図 2.2 の特性を持つ VCSEL を想定している。図 2.3(a) は、VCSEL が光出力

パワーの所望値によって許容周囲温度範囲が制限されることを示す。例えば，光

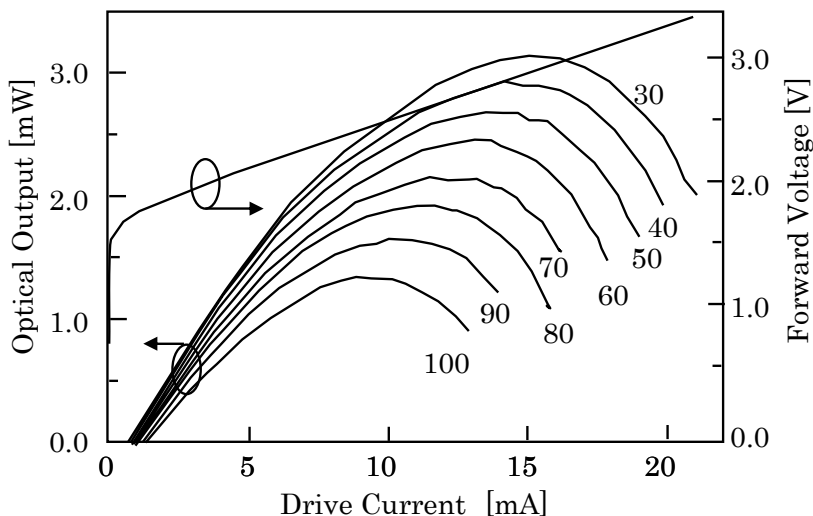
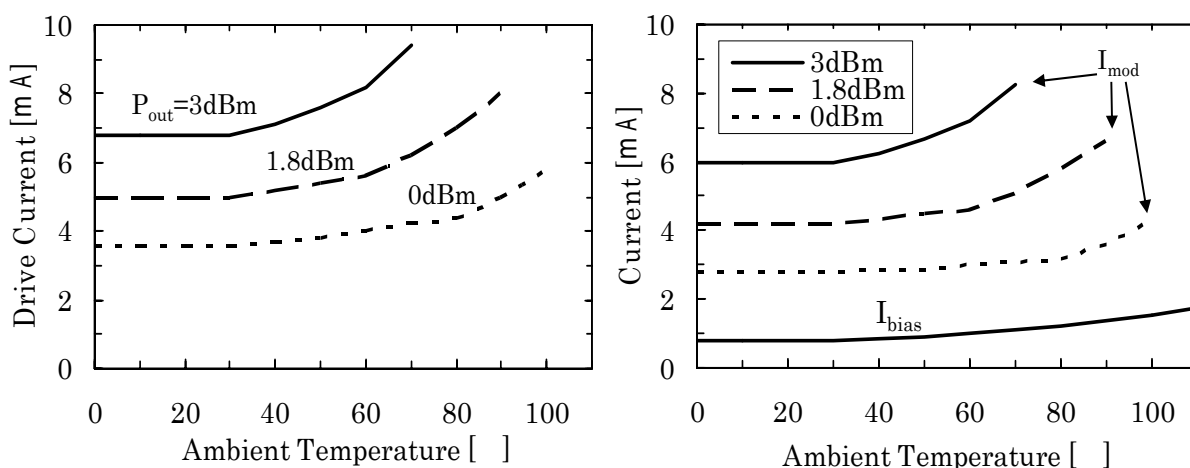


図 2.2 VCSEL 光出力の駆動電流依存性

出力パワーの所要値が 3dBm の時の許容周囲温度は 70℃，0dBm の時は約 100℃ となる。光出力パワーを 3dBm に設定する場合には，駆動電流をバイアス電流と変調電流に分けるとそれぞれに要求される温度特性は図 2.3(b) のようになる。バイアス電流の温度特性を閾値電流のそれに追従させ，周囲温度が変動しても VCSEL が発振領域で動作するように設定する必要がある。実際には，Gb/s 動作を実現するために，バイアス電流は閾値電流より若干高めに設定される。この場合，VCSEL の消光比（光出力パワーの最大値と最小値の比）が小さくなり，S/N（信号電力対雑音電力比）が劣化するが，最終的には伝送品質によって決められる。



(a) Drive Current

(b) Modulation and Bias Currents

図 2.3 要求される VCSEL 駆動電流の温度特性

## 2.2 VCSEL 駆動回路方式への要求

VCSELの光出力パワーは駆動電流と大きな相関を持つため、この電流を変調することにより光信号を生成することができる。この方式は直接変調方式と呼ばれ、低コスト化が要求される短距離伝送の光配線には適している。しかし、前述したように、VCSELの閾値電流および外部微分量子効率の周囲温度依存性が大きいいため、これらの温度特性を模擬できるに合わせた開ループ制御回路方式が必要となる。図 2.4 にVCSEL開ループ光出力安定化方式の概念を示す。図 2.4(a)で温度 $T_1$ の場合について考える。所要の光出力パワー $P_1$ 、 $P_0$  および消光比 ( $=P_1/P_0$ )を得るため、まず、バイアス電流 $I_{bias}$ をVCSELの閾値電流 $I_{th}$ 近傍に設定し、それに変調電流 $I_{mod}$ を重畳して光出力パワー $P_1$ を得る。この状態で、温度が $T_2$ に上昇したとすると閾値電流 $I_{th}$ が大きくなり、 $I_{bias} < I_{th}$ となるため、光信号の $P_0$ は0mWとなる。また、外部微分量子効率も減少するので、光出力パワー $P_1$ も $P_1$ に減じ、振幅の大幅減小を招き大きなS/N劣化を若起する。同図(b)はバイアス電流 $I_{bias}$ 、変調電流 $I_{mod}$ に、それぞれ、閾値電流および外部微分量子効率の変動に見合った温度特性を持たせた場合の光出力安定化状態を示したものである。この

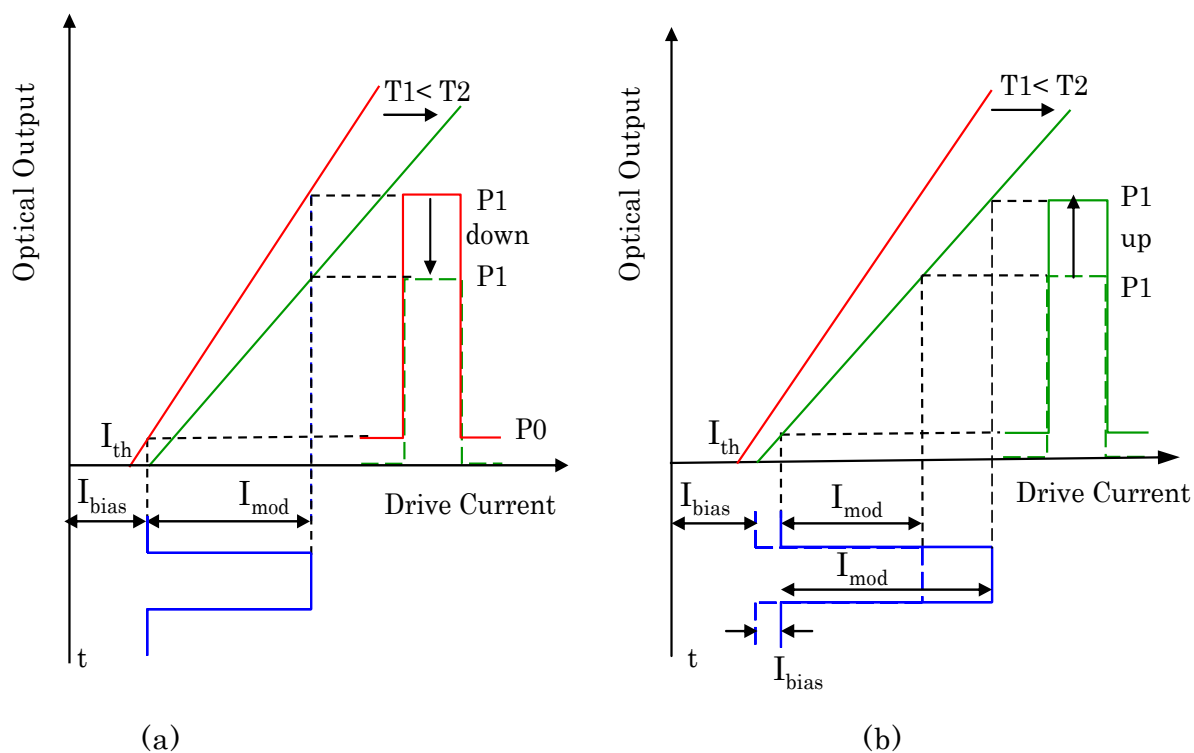


図 2.4 VCSEL 開ループ光出力安定化方式の概念

場合は、バイアス電流には閾値電流 $I_{th}$ の変動分と同じ電流量を増分させ、変調電流 $I_{mod}$ の振幅には所要のP1が得られるように増分させれば良いことが分かる。ここで、高速変調の観点から、駆動回路に要求される条件を考える。バイアス電流を閾値電流以下に設定した場合、誘導放出による発振が始まるまでは発光ダイオードとして動作する。このため、発振動作を開始し、コヒーレント光が出力される迄に時間遅れが生じる。即ち、光出力パルス信号は電流パルス信号に完全には追従できず、発振遅延時間が生じるので光信号パルス幅の減少を招き、高速変調が難しくなる。バイアス電流 $I_{bias}$ を閾値電流より高めに設定した場合は、常に、VCSELが発振領域で動作するため、遅延時間は小さく広いパルス幅を確保でき、高速変調が可能となる。光出力の消光比が小さくなり送信S/Nは劣化する。即ち、高速変調と高いS/Nを実現するにはバイアス電流 $I_{bias}$ を常に閾値電流 $I_{th}$ に漸近させることが必要となる。しかし、実際には発振遅延による変調速度劣化および消光比劣化を避けられないため、これらの劣化によるパワーペナルティを考慮する必要がある。

### 2.3 本研究の設計目標

表 2-1 に本研究の Gb/s 開ループ光出力安定化 VCSEL 駆動回路の設計目標を示す。伝送速度は 5Gb/s 以上、光出力を周囲温度 0 ~ 70 の範囲において 3dBm ± 0.5dB を設計目標とした。電源電圧は LSI 化に適用する 0.18 $\mu$ m CMOSFET の耐圧制限を考慮し、1.8V とした。また、消費電力は 30mW/CH 以下を目標とした。

表 2-1 VCSEL 駆動回路の設計目標

項目	目標値
伝送速度	5Gb/s
光出力	3dBm ± 0.5dB
温度範囲	0 ~ 70
電源電圧	1.8V
消費電力	30mW/CH
プロセス	0.18 $\mu$ m CMOS



### 第3章 光出力安定化 VCSEL 駆動回路方式の提案

#### 3.1 開ループ光出力安定化回路方式

##### 3.1.1 VCSEL 送信器の基本構成

図 3.1 に提案する VCSEL 送信器のアーキテクチャを示す。同図で、破線内が LSI 化の対象となる VCSEL 駆動回路である。主信号系は、入力バッファ回路と電流スイッチで構成されている。変調電流は、電流  $I_{mod}$  を電流スイッチにてスイッチングすることにより生成される。VCSEL にはこの変調電流にバイアス電流が重畳された駆動電流が供給され、VCSEL を ON, OFF することにより出力光がパルス変調信号として伝送路に送出される。ここで、 $V_{mod}$ 、 $V_{bias}$  は変調電流とバイアス電流の設定値を決める制御電圧で、各電流の温度特性は駆動電流制御回路にて生成される。

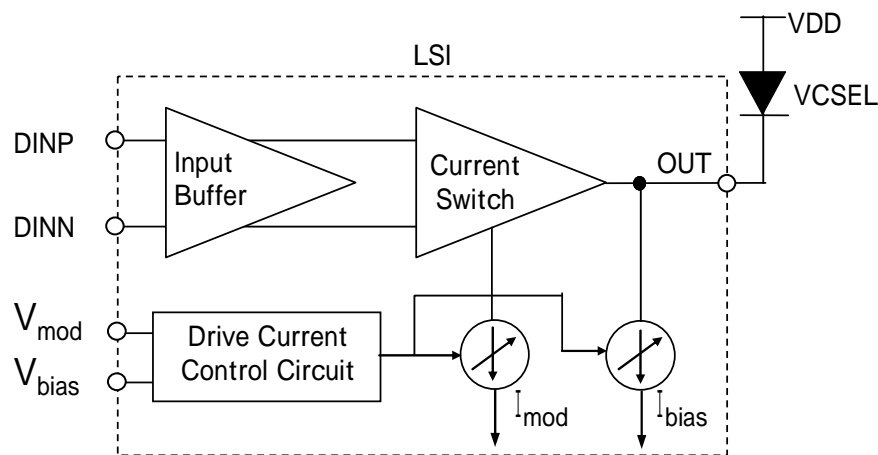


図 3.1 VCSEL 送信器のアーキテクチャ

図 3.2 に、図 3.1 を具体化した VCSEL 駆動回路の基本構成を示す。差動対 MOSFET MN1, MN2 から成る電流スイッチは差動入力信号 DINP, DINN に応じて MOSFET MN3, MN4 より供給される電流  $I_{mod}$  をスイッチングし、VCSEL を直接変調する。温度特性制御回路は変調電流  $I_{mod}$  およびバイアス電流  $I_{bias}$  に所望の温度特性を付与する機能を持つ。 $I_{mod}$ 、 $I_{bias}$  の制御電圧  $V_{cnt}$  は、温度特性生成回路で生成された出力電流を MOSFET MP1, 抵抗  $R5$  にて電圧に変換することにより得られる。 $I_{mod}$ 、 $I_{bias}$  はこの  $V_{cnt}$  によってそれぞれ MOSFET MN4 および MN6 を介して制御される。

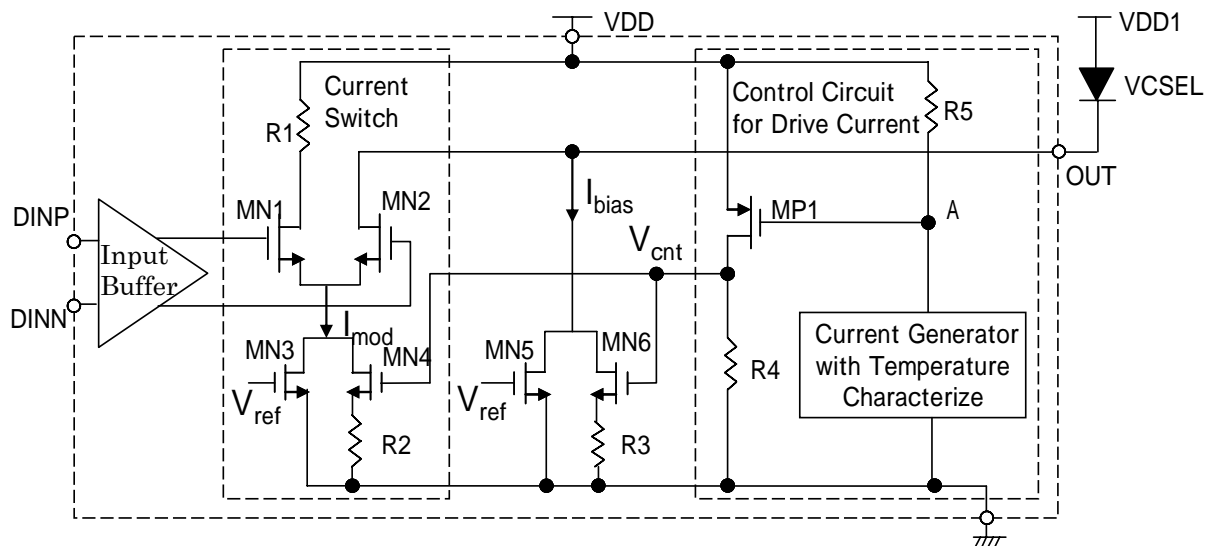


図 3.2 VCSEL 駆動回路の基本構成

MOSFET MN3 および MN5 は、所望の VCSEL 光出力パワーに応じた  $I_{mod}$ 、 $I_{bias}$  の初期値を設定するためのもので、外部制御電圧により動作する。ここで、電源電圧 VDD は 1.8V、VDD1 は 3.3V で、出力端の電位 OUT は約 1.3V で設計される。

温度特性生成回路は、VCSEL 駆動回路の中で、ダイナミック範囲の広い温度特性を実現するための最も重要な回路である。図 3.3 に、提案する温度特性生成回路のコンセプトを説明するためのブロック構成を示す。この回路の特長は、周囲温度の変動に対して一定な電流を供給する電流源 TFCS (Temperature Free Current Source) 出力と温度依存性を持つ電流源 TDCS (Temperature-Dependency Current Source) 出力を減算した後、電流増幅する構成になっている。この構成により周囲温度変動に対する大きな電流変化を生成することができる。温度フリー電流を  $I_{free}$ 、温度特性を有する電流を  $I_{temp}$  とし、 $I_{temp} = I_{tempo} + (T - T_0)$  とするとその減算値  $I$  は次式により与えられる。

$$\begin{aligned}
 I &= I_{temp} - I_{free} \\
 &= I_{tempo} + (T - T_0) - I_{free} \quad \dots (3.1)
 \end{aligned}$$

ここで、 $I_{tempo}$  は周囲温度  $T_0$  における電流値、 $A$  は  $A/^\circ C$  で与えられる温度係数である。式(3.1)で、 $I_{tempo} = I_{free}$  とすれば  $I = (T - T_0)$  となり、これを電流増幅することにより大きな電流変化が得られることが分かる。実際には  $(I_{tempo} - I_{free})$  は  $I_{mod}$  および  $I_{free}$  が一定値で良い低温領域で必要な電流値に設定すれば良い。

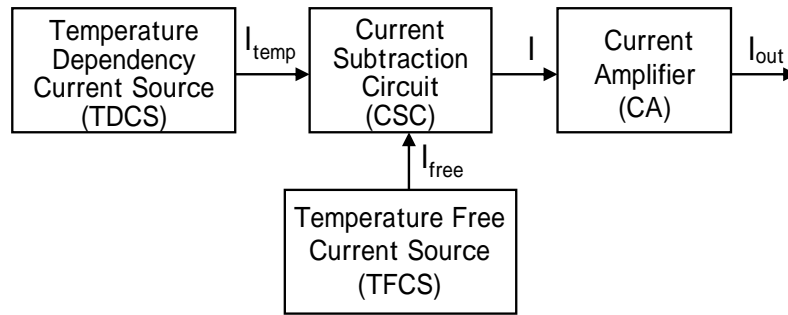


図 3.3 温度特性生成回路のコンセプト

### 3.1.2 温度特性生成回路

図 3.4 に、図 3.3 を具体化した温度特性生成回路の構成を示す。二つの電流源 TDCSおよびTFCSにはバンドギャップレファレンス電流源を導入し[14][15] ,異なる電流密度で動作する二種類のバイポーラトランジスタのベース - エミッタ間電圧における温度特性の差を利用して所望の電流温度特性を実現している。ここで、電流源TFCSでは、温度依存性のない電流 $I_{SS1}$ を供給するため、抵抗 $R7, R9$ を付加している。バイポーラトランジスタにはn-wellとn-well 表面のP電極およびSi基板間で形成される縦方向PNPバイポーラトランジスタを用いた。電流源TDCSとTFCSの出力電流 $I_{SS}$ 、 $I_{SS1}$ の減算と電流増幅は同時に行われる。MOSFET MN7およびMN8はカレントミラーを構成しており、それらのゲート幅比 $M$ を変えることにより電流増幅を行い、出力電流 $M \times I_{SS1}$ を得ている。同様に、MOSFET

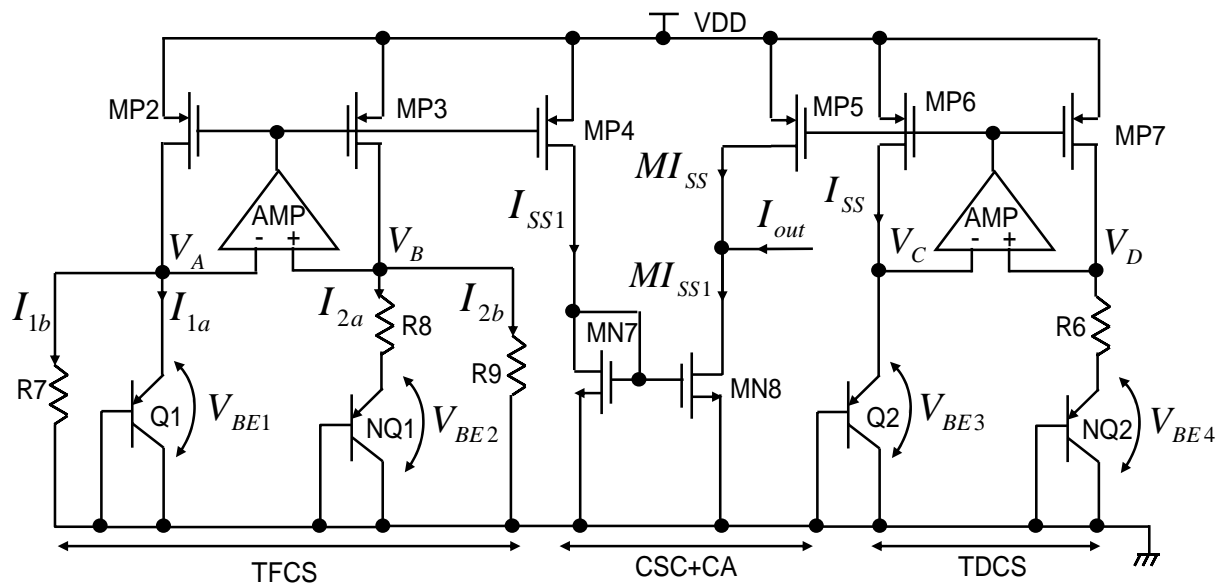


図 3.4 温度特性生成回路の構成

MP5 およびMP6 もカレントミラーを構成しており，それらのゲート幅比Mを変えることにより電流増幅を行い，出力電流 $M \times I_{SS}$ を得ている。出力電流 $I_{out}$ は，これら二つの電流を減算することにより得られる。

最初に，電流源TDCSの温度特性について検討する。バイポーラトランジスタQ2と並列接続されたN 個のバイポーラトランジスタNQ2 のベース - エミッタ間電圧 $V_{BE3}$ ， $V_{BE4}$ の差は式(3.2)で与えられる。

$$V_{BE3} - V_{BE4} = V_T \times \ln N \quad \dots (3.2)$$

ここで， $V_T = kT/q$ で，kはボルツマン定数，qは電荷素量である。一方，この電流源は負帰還動作により $V_C \approx V_D$ となるように動作するので，出力電流 $I_{SS}$ は式(3.3)で与えられ，正の温度係数を有する。

$$\begin{aligned} I_{SS} &= (V_{BE3} - V_{BE4}) / R_6 \\ &= V_T \times \ln N / R_6 \quad \dots (3.3) \end{aligned}$$

式(3.3)より，温度変動に対する電流変化量  $I_{SS}$  は式(3.4)で与えられる。

$$\Delta I_{SS} = \frac{V_T \times \ln(N)}{R_6} \times \frac{\Delta T}{T} \quad \dots (3.4)$$

式(3.3)，(3.4)より，電流源TDCSの出力電流およびその変化量は抵抗 $R_6$ ，並列バイポーラトランジスタの個数Nで決められることが分かる。そこで，前述したように，温度依存性がなく一定の電流を供給できる電流源TFCSを導入し，電流源TDCSの出力電流との減算を行い，電流増幅して出力電流の変化量を大きくする方を試みた。電流源TFCSでは，温度フリーの定電流を得るために， $I_{1b} = I_{2b}$ ， $I_{1a} = I_{2a}$ となるように抵抗 $R_7$ ， $R_9$ を新たに並列接続させている。この時の出力電流 $I_{SS1}$ は次式で表わすことができる。

$$I_{SS1} = \frac{V_{BE1}}{R_7} + \frac{V_T \times \ln N}{R_9} \quad \dots (3.5)$$

ここで， $V_{BE1} / R_7$ 部は負の温度特性， $V_T \ln N / R_9$ 部は正の温度特性を持つから，これら正負温度係数が打ち消されるように抵抗 $R_7$ ， $R_9$ を設定すれば，出力電流 $I_{SS1}$ が温度フリーな電流源を実現できる。それ故， $I_{SS}$ と $I_{SS1}$ の比率を電流減算回路にて適宜設定することにより所望の出力電流 $I_{out}$ を得ることができる。この出力電流 $I_{out}$ を基に，変調電流 $I_{mod}$ およびバイアス電流 $I_{bias}$ は図 3.2 に示す抵抗 $R_2$ ， $R_3$ により所望値に設定される。

### 3.2 電流スイッチング回路

通常の光通信用 LD の電流スイッチング回路においては、大電流および高速変調のため、バイポーラ集積回路技術が使われている例が多い。本研究では、低消費電力化および低コスト化の観点より、 $0.18\mu\text{m}$  CMOS プロセスを採用する。

次に、NMOSFET の差動対から成る電流スイッチング回路の動作を定量的に分析する。図 3.5 に電流スイッチ回路の基本構成を示す。NMOSFET のゲート - ソース間電圧とドレイン電流との関係は 2 乗則で結ばれているので、大きな相互コンダクタンス  $g_m$  を得るのは難しい。このため、MOSFET 対の遷移領域はゲート幅や電流値により変動するので、回路設計時の重要な留意点の一つとなる。図 3.5 において、MOSFET 対 MN1 と MN2 が飽和領域で動作し、ドレイン抵抗無限大の理想状態を考えた時の差動入力電圧  $V_{in1}$  と  $V_{in2}$  に対する MOSFET 対 MN1, MN2 に流れるドレイン電流  $I_{D1}$  と  $I_{D2}$  の関係および遷移領域を計算する。MOSFET MN1, MN2 のゲート - ソース間電圧を  $V_{GS1}$ ,  $V_{GS2}$  とすると、節点 P の電圧は  $V_{in1} - V_{GS1}$ ,  $V_{in2} - V_{GS2}$  となるので、

$$V_{in1} - V_{in2} = V_{GS1} - V_{GS2} \quad \dots (3.6)$$

となる。MOSFET のゲート - ソース電圧  $V_{GS}$  とドレイン電流  $I_D$  との関係は、2 乗則から求めると、式 (3.7) で表わすことができる。

$$V_{GS} = \sqrt{\frac{2I_D}{\mu_n C_{ox} \frac{W}{L}}} + V_{TH} \quad \dots (3.7)$$

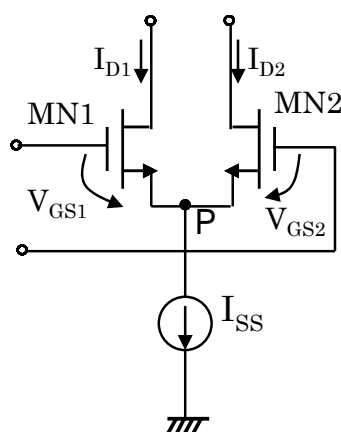


図 3.5 NMOSFET 対電流スイッチング回路の基本構成

よって、式(3.6)と(3.7)から、次式が得られる。

$$V_{in1} - V_{in2} = \sqrt{\frac{2I_{D1}}{\mu_n C_{OX} \frac{W}{L}}} - \sqrt{\frac{2I_{D2}}{\mu_n C_{OX} \frac{W}{L}}} \quad \dots (3.8)$$

ここで、 $W$  は MOSFET のゲート幅、 $L$  は MOSFET のゲート長、 $\mu_n$  は MOSFET のキャリア移動度、 $C_{OX}$  は MOSFET の単位面積あたりのゲート容量である。

式(3.8)から、片方のMOSFETに電流源から供給される電流 $I_{ss}$ のすべてが流れ、他方はオフとなる差動入力信号振幅を求める。この限界値を $\Delta V_{in}$ で表すと次の式が得られる。

$$\Delta V_{in} = V_{in1} - V_{in2} = \sqrt{\frac{2I_{MOD}}{\mu_n C_{OX} \frac{W}{L}}} \quad \dots (3.9)$$

差動入力信号振幅 $\Delta V_{in}$ がこの限界値を超えると、差動回路が電流スイッチング回路として動作する。この時、 $\Delta V_{in}$ の2倍が遷移領域となる。式(3.9)から電流 $I_{mod}$ が一定の場合、電流スイッチング回路として動作させる場合、差動入力信号の振幅はMOSFET対  $M1, M2$  のゲート幅 $W$ との反比例の関係となり、ゲート幅 $W$ を大きくすることにより遷移領域を狭くできる。これは、ゲート幅 $W$ を大きくすると相互コンダクタンス $g_m$ が大きくなるためである。しかし、MOSFET対  $M1, M2$  のゲート幅 $W$ を大きく設定するとMOSFETの寄生容量が増加するため、スイッチング速度の低下を招く。それ故、電流スイッチング回路の設計時にはスイッチング速度と遷移領域のトレードオフを考慮し、ゲート幅 $W$ を決める必要がある。

VCSEL変調回路は図 3.6 に示すように電流スイッチング回路と電流カレントミラー回路で構成されている。電流スイッチ回路の出力端子の一方にはVCSELを接続し、もう一方にはVCSEL模擬負荷 $R1$ を接続する。ここで、VCSELは信号電流 $I_{mod}$ とバイアス電流 $I_{bias}$ を重畳した電流で駆動される。差動入力信号 $V_{INP}$ が“1”， $V_{INN}$ が“0”の場合では、MOSFET  $MN1$  がオン、MOSFET  $MN2$  がオフとなる。従って、この場合VCSELに流れる電流はバイアス電流 $I_{bias}$ のみとなり、光出力パワーはほぼ零となる。逆に、差動入力信号 $V_{INP}$ が“0”， $V_{INN}$ が“1”の場合には信号電流 $I_{mod}$ はVCSELに流れ、駆動電流としてバイアス電流と信号電流との

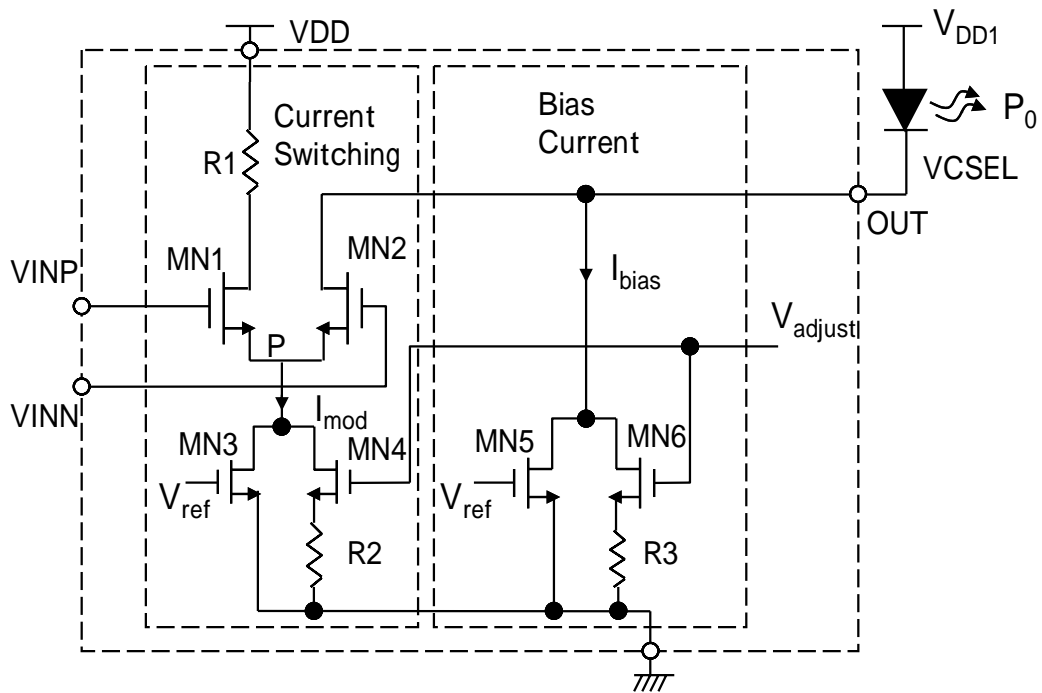


図 3.6 VCSEL 変調回路

和となる。従って、この場合のVCSEL光出力パワーは $P_1 = \eta(I_{mod} + I_{bias} - I_{th})$ および $P_0 = \eta(I_{bias} - I_{th})$ で与えられる。

### 3.3 入力バッファ回路

前述したように、MOSFETを用いた電流スイッチ回路の遷移領域は、バイポーラトランジスタで構成される電流スイッチング回路の遷移領域がトランジスタサイズや電流に依存せず一義的に決まるのに対し、ゲート幅や電流に大きく依存する。また、完全には電流を振り切れない性質を持つ。従って、オーバードライブによる高速化の効果を十分発揮させるには大きな差動入力信号振幅を印加することが求められる。本研究では、大きな出力振幅を得ると共に広帯域化を図るために、電流スイッチング回路の前段に入力バッファ回路を導入した。

#### 3.3.1 多段差動回路の検討

最初に、図 3.5 を用いて差動増幅回路一段当りの利得を導出する。式(3.9)の両辺を 2 乗し、 $I_{D1} + I_{D2} = I_{SS}$ であることを用いれば、次式が得られる。

$$I_{D1} - I_{D2} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{in1} - V_{in2}) \sqrt{\frac{4I_{ss}}{\mu_n C_{ox} \frac{W}{L}} - (V_{in1} - V_{in2})^2} \quad \dots (3.10)$$

式(3.10)において， $I_{D1} - I_{D2}$ と $V_{in1} - V_{in2}$ をそれぞれ  $I_D$ と  $V_{in}$ で表すと，MOSFET M1,M2 の相互コンダクタンス $g_m$ は次式で表せる。

$$\frac{\partial \Delta I_D}{\partial \Delta V_{in}} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} \frac{\frac{4I_{ss}}{\mu_n C_{ox} \frac{W}{L}} - 2\Delta V_{in}^2}{\sqrt{\frac{4I_{ss}}{\mu_n C_{ox} \frac{W}{L}} - \Delta V_{in}^2}} \quad \dots (3.11)$$

$V_{in}=0$  の場合には  $g_m = \sqrt{\mu_n C_{ox} \frac{W}{L} I_{ss}}$  となるので，回路が平衡状態にある場合の小信号差動電圧利得は， $R$ を負荷抵抗とすれば次式のように表すことができる。

$$|A| = \sqrt{\mu_n C_{ox} \frac{W}{L} I_{ss}} \times R \quad \dots (3.12)$$

式(3.12)は抵抗 $R$ ，MOSFETのゲート幅 $W$ および電流 $I_{ss}$ を大きくするほど大きな利得が得られることを示す。しかし，MOSFET対 MN1，MN2 のドレイン 基板間容量と抵抗 $R$ がLPF(Low pass filter)を形成するため，周波数応答に影響を及ぼすので，利得と帯域の間にはトレードオフ関係が生じる。

次に，多段増幅回路と一段増幅回路の利得および帯域を与える一般式を導出する。図 3.7 に $N$ 段増幅回路をカスコード接続した構成を示すが，ここで，増幅回路一段当りの利得と帯域幅をそれぞれ $A_0$ ， $\omega_0$ とおくと，次式で求められる。

$$A_0 = g_m R_0 \quad \omega_0 = \frac{1}{R_0 C} \quad \dots (3.13)$$

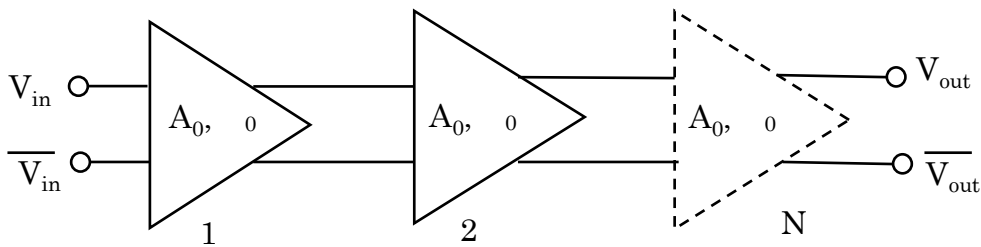


図 3.7 多段増幅回路のアーキテクチャ



ここで、 $R_o$ は負荷抵抗、 $C$ はMOSFETドレインの寄生容量である。これから、総合利得 $A_{tot}$ は

$$A_{tot} = A_0^N \quad \dots (3.14)$$

で表される。また、その時の帯域は $N$ 段増幅回路の総合帯域を $\omega_{-3dB}$ とすると

$$\omega_{-3dB} = \omega_0 \sqrt{\sqrt[N]{2} - 1} \quad \dots (3.15)$$

で与えられる。ここで、利得・帯域幅積 $B(=A_{tot} \times \omega_{-3dB})$ を一定と仮定すると、式(3.15)により、増幅回路1段当りに要求される帯域 $\omega_0$ は次の式で表される。

$$\omega_0 = B / \sqrt[N]{A_{tot}} \quad \dots (3.16)$$

式(3.16)を(3.15)に代入すると、総合帯域 $\omega_{-3dB}$ は次式で与えられる。

$$\omega_{-3dB} = \frac{B \times \sqrt{\sqrt[N]{2} - 1}}{\sqrt[N]{A_{tot}}} \quad \dots (3.17)$$

$$\frac{\omega_{-3dB}}{B} = \frac{\sqrt{\sqrt[N]{2} - 1}}{\sqrt[N]{A_{tot}}} \quad \dots (3.18)$$

式(3.17)、(3.18)を用いて、総合利得 $A_{tot}$ は増幅回路段数をそれぞれ2、3、4、5、6段接続として算出すると、図3.8に示すような結果が得られる。図3.8から、利得が2倍より大きくなる場合、多段カスコード差動増幅回路の帯域は改善できることが分かった。しかし、3段を超えると帯域は劣化する。従って、入力バッ

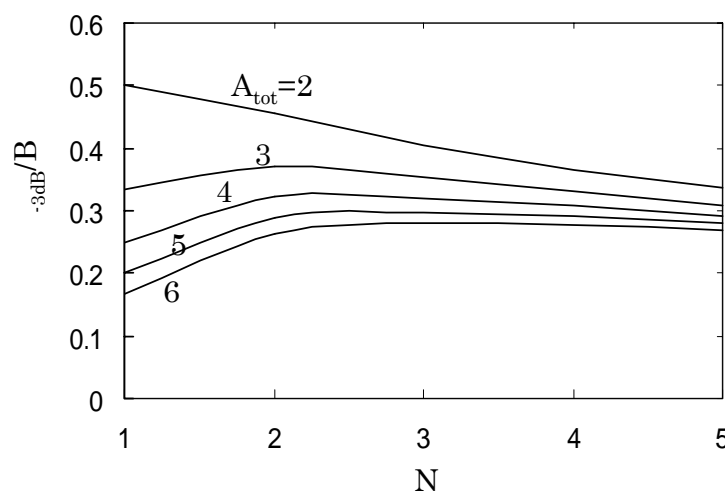


図 3.8 多段縦続接続増幅回路の帯域と段数依存性

ファの総合利得 12dB(4 倍)を設計目標に設定した場合は，増幅回路を多段接続することにより，一段増幅回路に比べて，広帯域化できることが分かった。

### 3.3.2 負帰還回路の導入による広帯域化

本項では帯域幅に対する負帰還の効果の説明する[19]。図 3.9 は 2 段増幅回路に負帰還をかける入力バッファ回路の基本構成を示す。ここで，初段増幅回路の伝達関数を  $A_1(j\omega)$ ，後段増幅回路の伝達関数を  $A_2(j\omega)$ ，負帰還部分の伝達関数を  $\beta(j\omega)$  としたとき時，一次近似するとそれぞれの式は以下のように表される。

$$A_1(j\omega) = \frac{A_1}{1 + \frac{j\omega}{\omega_1}} \quad \dots (3.19)$$

$$A_2(j\omega) = \frac{A_2}{1 + \frac{j\omega}{\omega_2}} \quad \dots (3.20)$$

$$\beta(j\omega) = \frac{\beta}{1 + \frac{j\omega}{\omega_1}} \quad \dots (3.21)$$

一方，多段増幅回路の総合伝達関数  $A(j\omega)$  は

$$A(j\omega) = \frac{A_1(j\omega)A_2(j\omega)}{1 + \beta(j\omega)A_2(j\omega)} \quad \dots (3.22)$$

と表すことができる。よって，この式に式(3.19)，(3.20)，(3.21)を代入して整理すると，

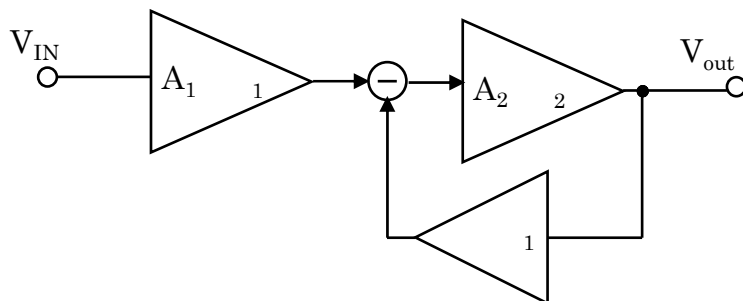


図 3.9 負帰還入力バッファ回路の基本構成

$$A(j\omega) = \frac{A_1 A_2}{1 + \beta A_2 + j\omega\left(\frac{1}{\omega_1} + \frac{1}{\omega_2}\right) + \frac{(j\omega)^2}{\omega_1 \omega_2}} \quad \dots (3.23)$$

となる。ここで、 $j = s$  とおくと式(3.23)から、次の式を得る。

$$A(j\omega) = \frac{A_1 A_2 \omega_1 \omega_2}{(1 + \beta A_2) \omega_1 \omega_2 + s(\omega_1 + \omega_2) + s^2} \quad \dots (3.24)$$

また、 $\omega_n^2 = (1 + \beta A_2) \omega_1 \omega_2$ 、 $\xi = \frac{1}{2} \frac{\omega_1 + \omega_2}{\sqrt{\omega_1 \omega_2 (1 + \beta A_2)}}$  とおくと、増幅回路の総合

伝達関数  $A(j\omega)$  は式(3.25)で表される。

$$A(j\omega) = \frac{A_1 A_2 \omega_n^2}{\omega_n^2 + 2\xi\omega_n s + s^2} \quad \dots (3.25)$$

式(3.25)は二次伝達関数の標準形となり、 $\xi$  がダンピングファクターと呼ばれる。

$\xi \leq \sqrt{2}/2$  の場合には周波数特性にピーキングを発生し、帯域幅は  $\omega_{-3dB} \geq \omega_n$  となる。

各段の利得および帯域幅は同じとし、それぞれを  $A_0$ 、 $\omega_0$  と設定すると、 $\omega_n$  とは次式で表される。

$$\omega_n = \sqrt{(1 + \beta A_0)} \omega_0 \quad \dots (3.26)$$

$$\xi = \frac{1}{\sqrt{(1 + \beta A_0)}} \quad \dots (3.27)$$

よって、式(3.25)は式(3.28)のように書き換えることができる。

$$A(j\omega) = \frac{A_{tot}}{1 + \frac{s^2}{(1 + \beta A_0) \omega_0^2} + \frac{2s}{(1 + \beta A_0) \omega_0}} \quad \dots (3.28)$$

ここで、総合利得  $A_{tot}$  は  $A_0^2 / (1 + \beta A_0)$  で与えられ、直流利得を表す。規格化利得を式  $A(j\omega) / A_{tot}$  で定義すると、規格化利得と帯域幅の関係は式(3.28)を用いて計算すると図 3.10 のようになる。縦軸には規格化利得を示し、横軸には増幅回路一段当りの帯域幅  $\omega_0$  で規格化した帯域幅  $\omega / \omega_0$  を示す。図 3.10 より、負帰還をかけない ( $\xi = 1$ ,  $\beta = 0$ ) 時、増幅回路は 2 段カスコード接続増幅回路となり、3 dB 帯域幅は約  $0.64 \omega_0$  となる。しかし、ダンピングファクターを小さくすると利得低

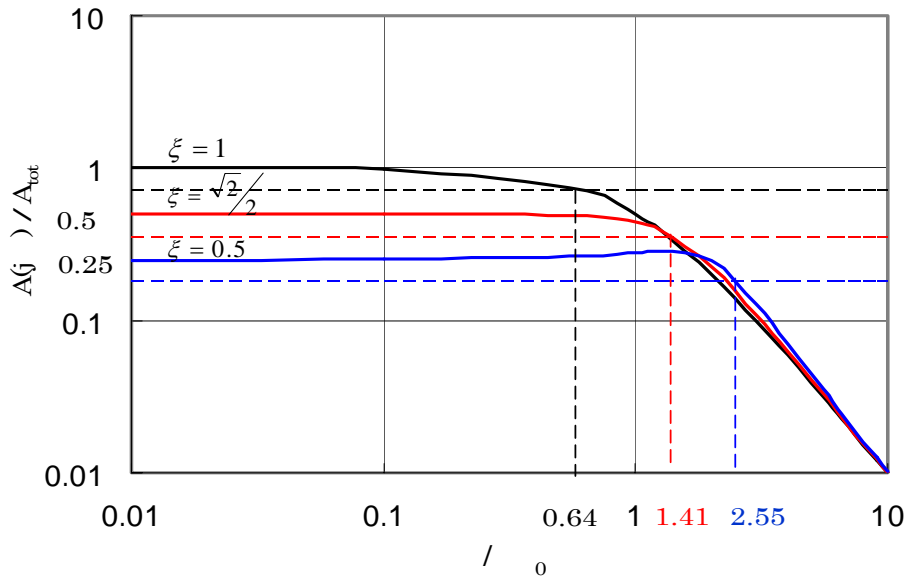


図 3.10 規格化総合利得と総合帯域幅との関係

下が大きくなるから，本研究では利得と帯域幅のトレードオフの関係を考慮し，  
を  $\xi = \sqrt{2}/2$  と設定することにした。

図 3.11 に，図 3.9 を具体化した負帰還差動増幅回路の構成を示す。MOSFET 対 MN5，MN6 と負荷抵抗 R1 とで構成される負帰還回路は，後段差動増幅回路の出力電圧の変動に応じて電流を変化させ，抵抗 R1 の両端から負帰還情報として後段増幅回路の入力端にフィードバックして広帯域化を可能とする機能を持つ。負帰還係数 は MOSFET 対 MN5，MN6 と電流  $I_{D1}$  により調整できる。

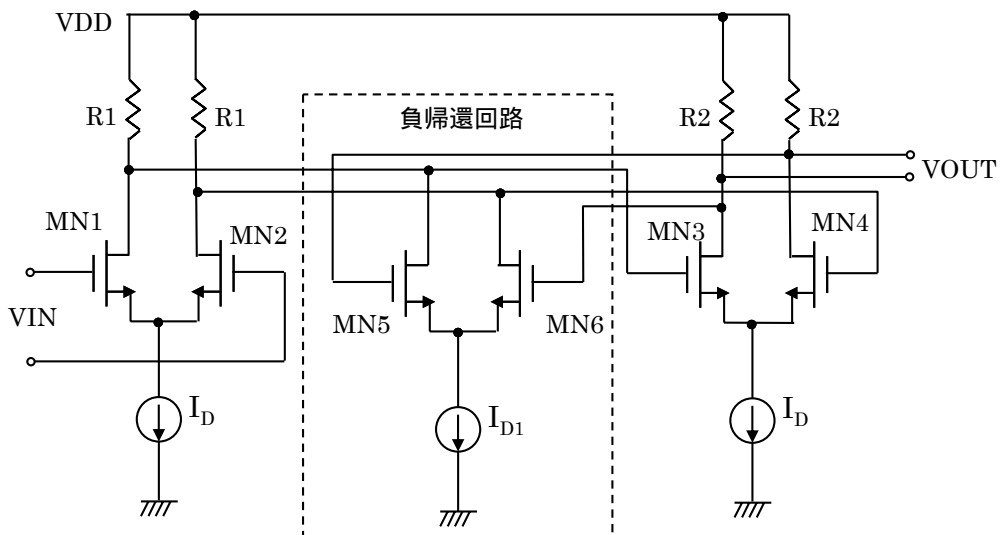


図 3.11 負帰還差動増幅回路の構成

## 第4章 回路CADを用いたシミュレーションによる動作検証

### 4.1 温度特性生成回路

図4.1に回路CADを用いたシミュレーション解析によるTDCS出力電流の周囲温度依存性を示す。同図から、出力電流は周囲温度に比例して線形に増加し、その割合が約 $0.37\mu\text{A}/^\circ\text{C}$ であることが分かる。

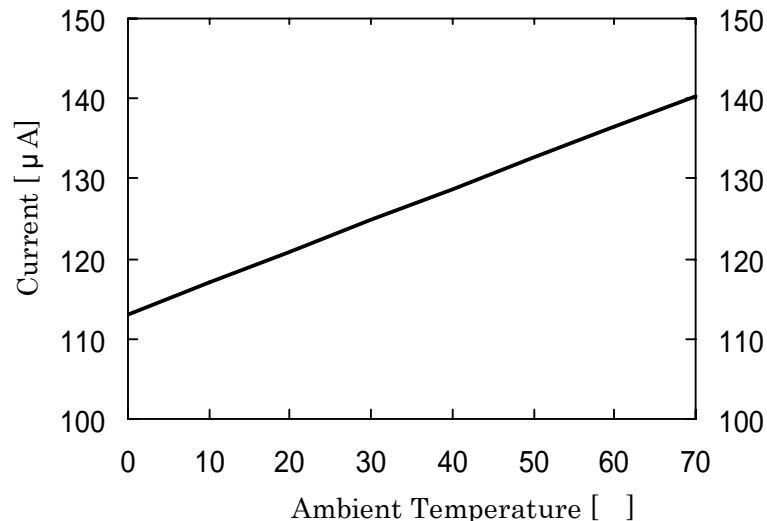


図4.1 TDCS出力電流の周囲温度依存性

図4.2は出力電流を1mAに設定した時の周囲温度が $0\sim 70$ における出力電流変化量の抵抗 $R_6$ 依存性を示すシミュレーション結果である。ここで、トランジスタの並列個数 $N$ をパラメータとした。図3.2に示されるMOSFET MN4およびMN6より供給される $I_{\text{mod}}$ 、 $I_{\text{bias}}$ の電流変化量をVCSEL駆動電流の温度特性に追従させるためにはノードAおよび出力電圧 $V_{\text{out}}$ の変化量を大きくする必要がある。しかし、図4.2より電流源TDCSの出力電流変化量は1mAを中心に約 $0.22\text{mA}$ であることから、出力電流変化量を大きくするにはノードAの電位変化量を増大させれば良い。それには抵抗 $R_5$ の値を大きくする方法が考えられるが、この場合は温度特性生成回路の出力MOSFETが非飽和領域で動作し、所要の温度特性の実現が困難となることが分かった。

図4.3は電流源TFCS出力電流の周囲温度依存性のシミュレーション結果を示す。出力電流は周囲温度によりほぼ一定であることが分る。図4.4に温度特性生成回路の出力電流 $I_{\text{out}}$ の周囲温度依存性を示す。同図で、 $0\sim 70$ の周囲温度範囲にお

ける電流の変動量は約 1mAであり，約 4.5 倍の温度変動量を実現できることが分かる。

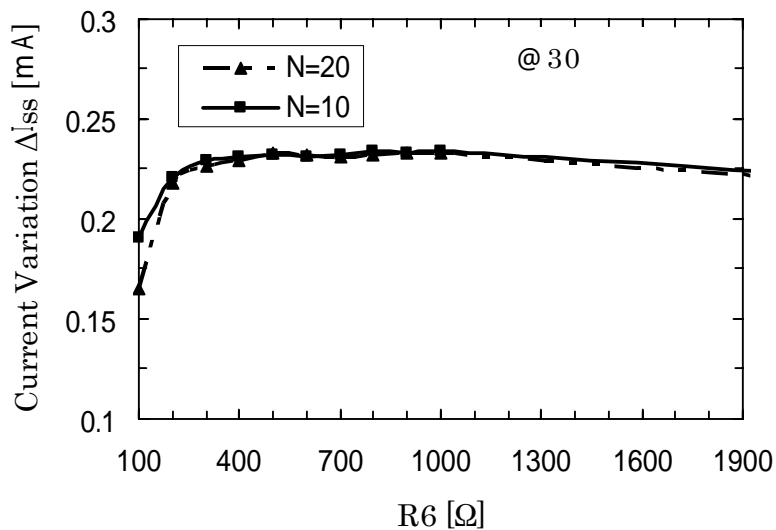


図 4.2 電流変動量の抵抗  $R_6$  依存性

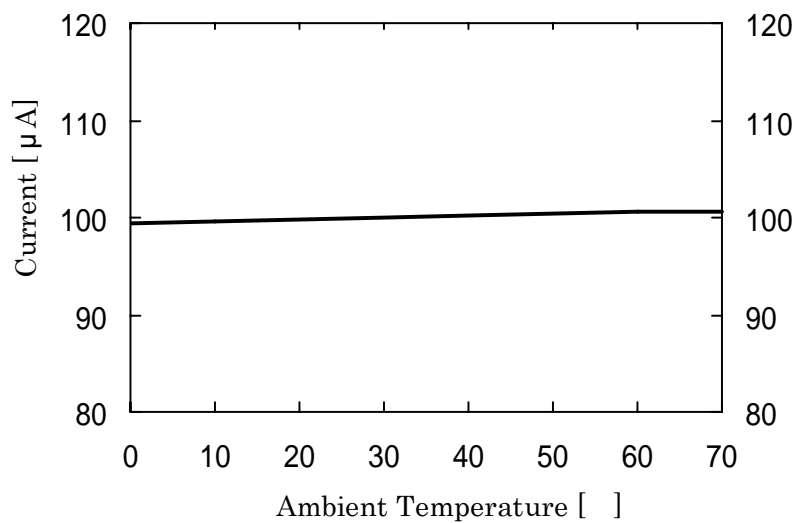


図 4.3 TFCS 出力電流の周囲温度依存性

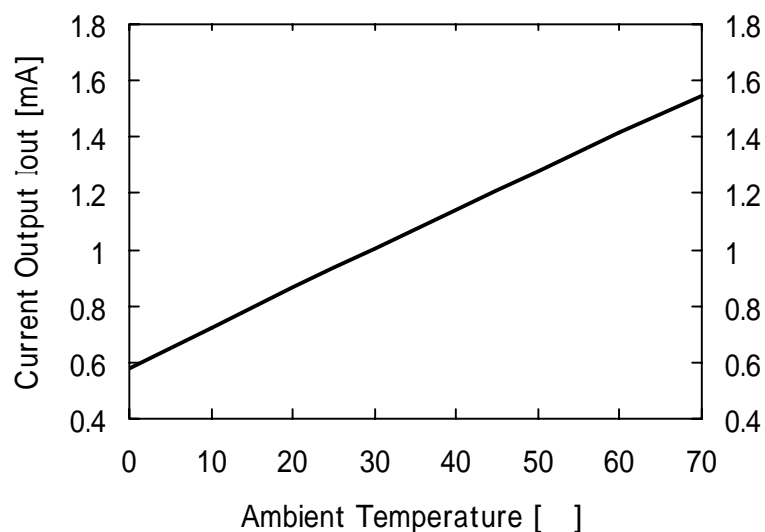


図 4.4 温度特性生成回路の出力電流の周囲温度依存性

#### 4.2 電流スイッチング回路

式(3.9)の検討結果を基に，Rohm 製 0.18 $\mu\text{m}$  CMOS デバイスのパラメータを用いて，図 3.5 に示す電流スイッチング回路の動作をシミュレーション解析し，設計指針を得る。第 3.3 節の解析結果によれば電流スイッチング回路として動作させる場合，差動入力信号の振幅を大きくすれば MOSFET 差動対のゲート幅を小さくでき，寄生容量を低減できることが分っている。ここでは，信号電流を 6mA とし て動作解析を行う。

電流スイッチング回路の差動入力信号振幅(= $V_{in1} - V_{in2}$ )と出力電流 $I_{mod}$ との関係をシミュレーションにより求めた結果を図 4.5 に示す。横軸は差動入力信号振幅，縦軸は変調電流である。図 4.5 から差動入力信号振幅 $V_{P-P}$ を 600mV 以上にすれば，変調電流の 95%以上をスイッチングできる。しかし，MOSFET のゲート幅を広くすると完全な電流スイッチング回路として動作するが，MOSFET の寄生容量が増加するため，周波数特性が劣化する。従って，両者のトレードオフを考慮し，ここでは，MOSFET 差動対のゲート幅を 40 $\mu\text{m}$ として回路設計することにした。

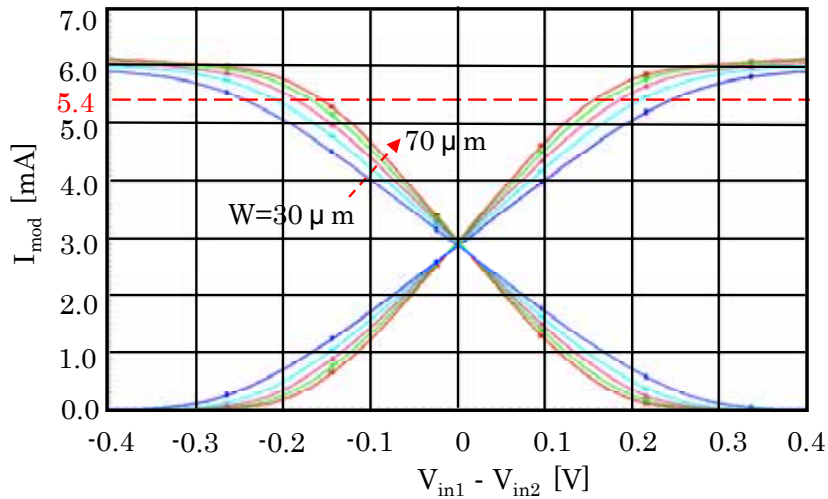


図 4.5 電流スイッチング回路の入出力伝達特性

### 4.3 入力バッファ回路

#### 4.3.1 多段差動増幅回路

第 3.3.1 項で検討した理論的な考察から、差動増幅回路の利得が 10dB 以上になれば、多段カスコード接続方式による広帯域化を実現できることが分かった。ここで、シミュレーションにより理論の検討結果を検証する。差動増幅回路の利得を 6 dB とすると、図 4.6 に 1 段と 2 段差動増幅回路の周波数特性の比較結果を示す。シミュレーション結果によれば帯域はほぼ一致している。

次に、差動増幅回路の利得を 12dB とした時の 1 段と 2 段差動増幅回路の周波数

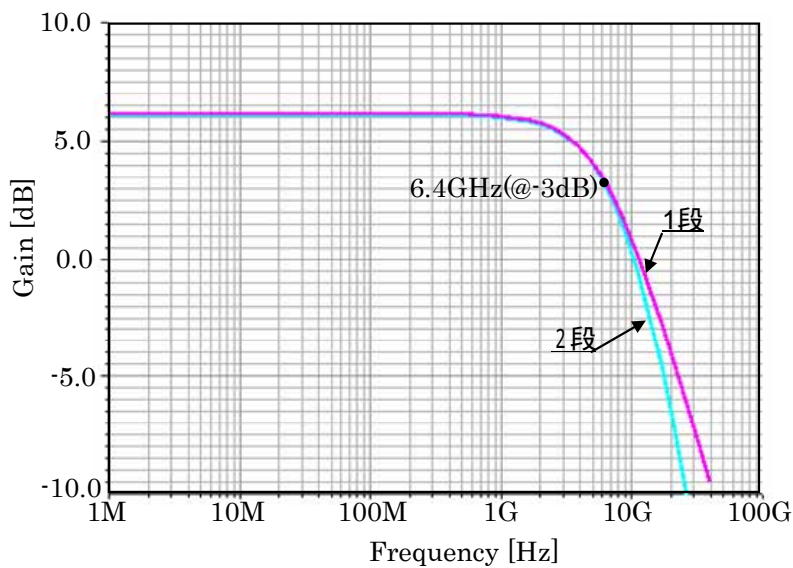


図 4.6 利得 6dB における 1 段と 2 段差動増幅回路の周波数特性比較



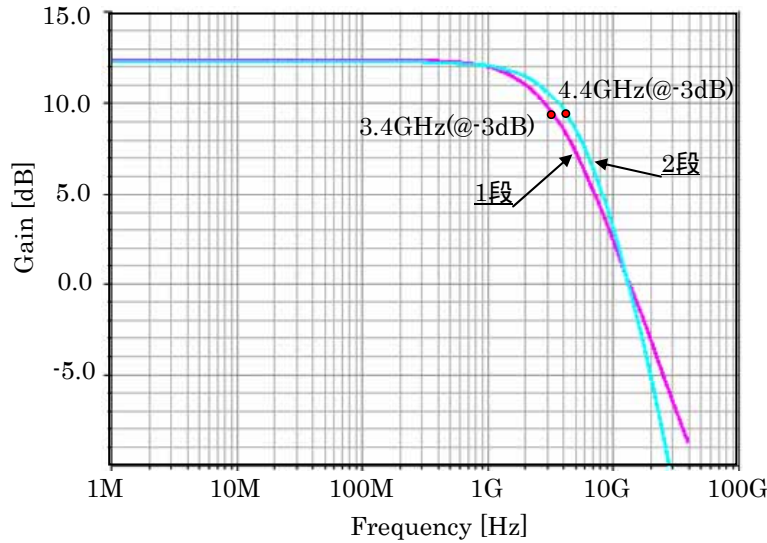


図 4.7 利得 12dB における 1 段と 2 段差動増幅回路の周波数特性比較

特性の比較結果を図 4.7 に示す。同図から、2 段差動増幅回路の帯域幅は 1 段増幅回路に比べて約 1.3 倍の広帯域化ができることが分かる。

#### 4.3.2 負帰還増幅回路

本項では、第 3.3.2 項の理論計算結果を基に、入力バッファ回路の広帯域化の観点より、実際の回路検討を行う。一段当りの差動増幅回路の利得を 6 dB とした時の一段および二段増幅回路と負帰還増幅回路における周波数特性のシミュレーション結果を図 4.8 に示す。ここで、負帰還増幅回路のフィードバック係数を 0.5

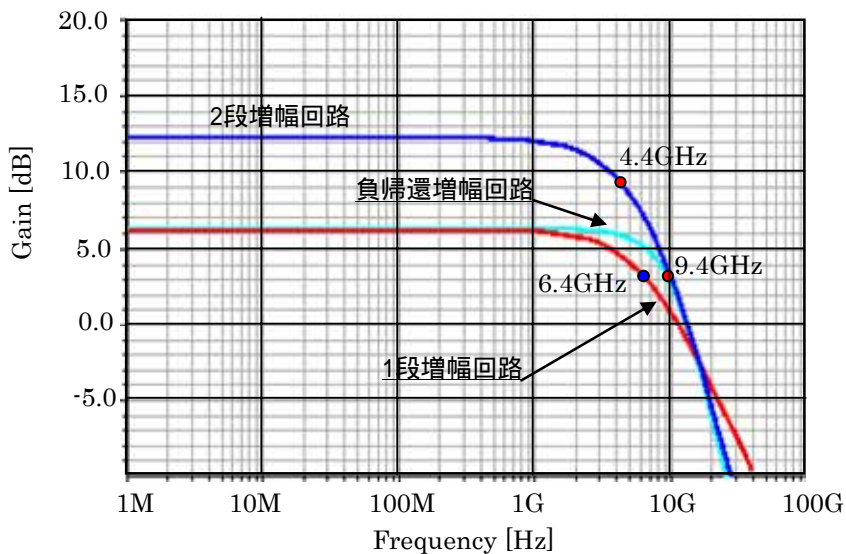


図 4.8 周波数特性の比較

と設定，即ち，負帰還増幅回路のダンピングファクター を  $\frac{\sqrt{2}}{2}$  とした時にはピーキングは発生していない。一段増幅回路の帯域は 6.4GHz であるが，二段増幅回路では 4.4GHz となり，高速変調は困難となる。また，負帰還増幅回路の帯域幅は 9.4GHz であり，一段増幅回路の帯域幅より約 1.5 倍広くできることが分かる。

以上の結果から，負帰還増幅回路の帯域幅は負帰還なしの一段増幅回路に比べて広帯域化できることが分かった。図 4.9 に利得を目標の 12dB に設定した時の 2 段負帰還増幅回路と 2 段増幅回路の周波数特性を示す。2 段増幅回路の帯域は 4.4GHz であるのに対し，2 段負帰還増幅回路の帯域は 7.5GHz で，1.7 倍の広帯域化を実現できることが分かった。

図 4.10(a) ,(b)に入力バッファ回路の 5Gb/s と 10Gb/s 出力アイパターンを示す。また，図 4.11(a) ,(b)に VCSEL に流れる 5Gb/s および 10Gb/s 変調電流のアイパターンを示す。ここで，入力した信号振幅は 100mV  $V_{P.P}$  で，符号長  $2^7 - 1$  のランダム差動信号列である。シミュレーション結果から，5Gb/s において開口度の良好なアイパターンが得られている。また，変調電流のアイパターンは負帰還入力バッファ回路の広帯域化と電流スイッチング回路へのオーバードライバ効果により，立上り，立下り時が大幅に改善され，5Gb/s 動作が可能であることを示している。

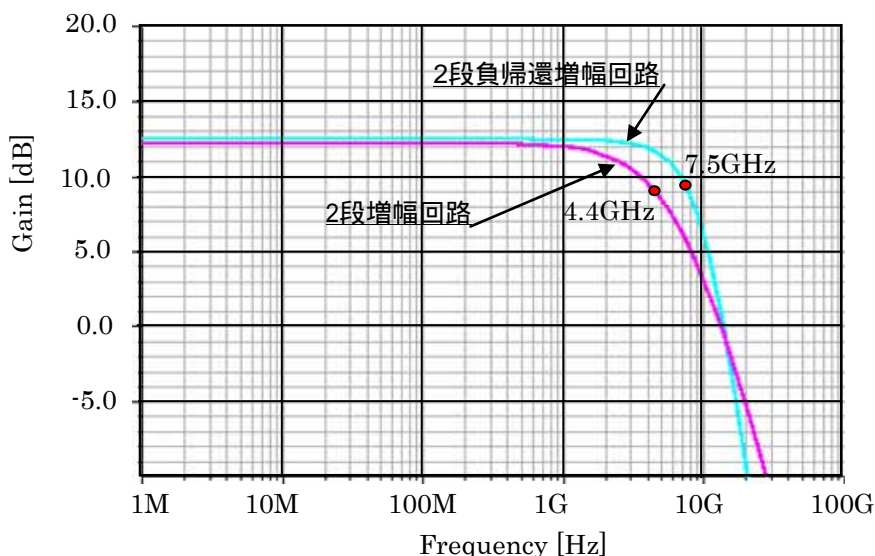
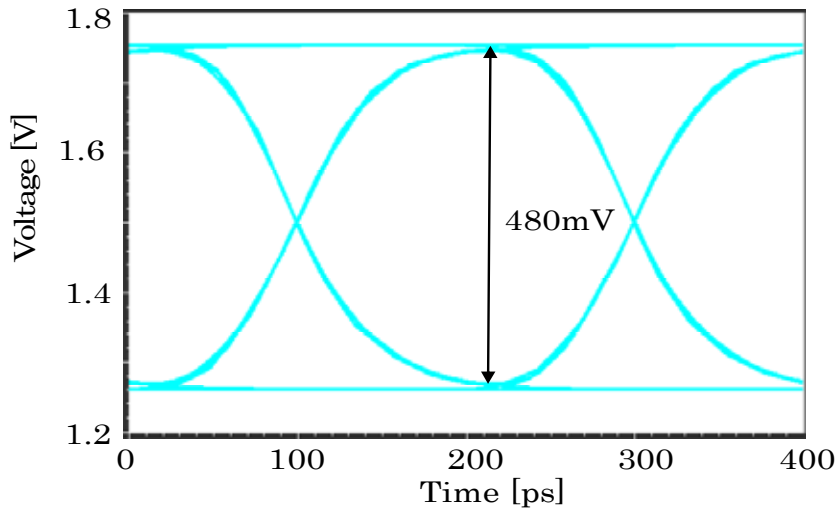
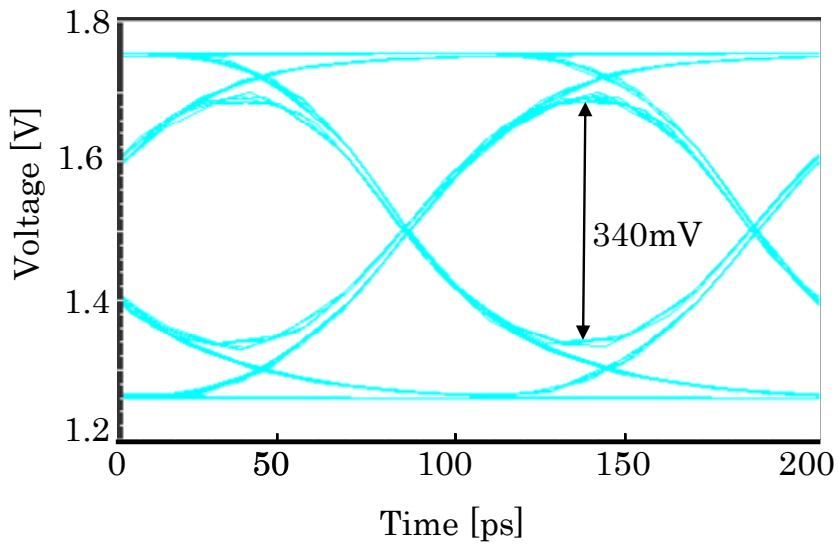


図 4.9 二段負帰還増幅回路の周波数特性

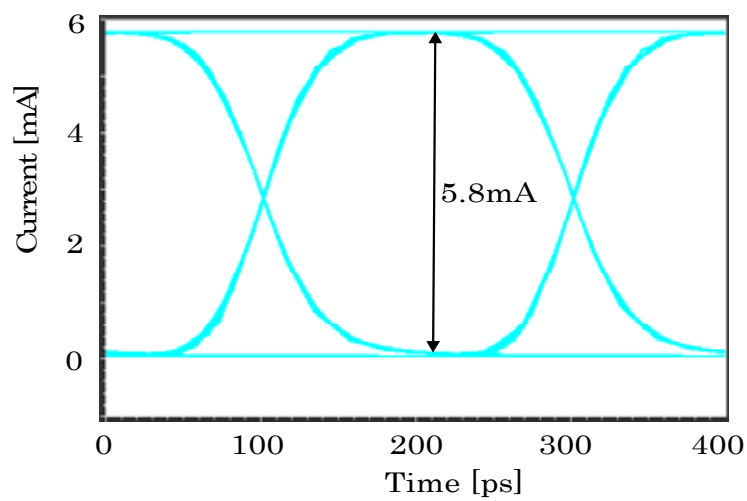


(a) 5Gb/s

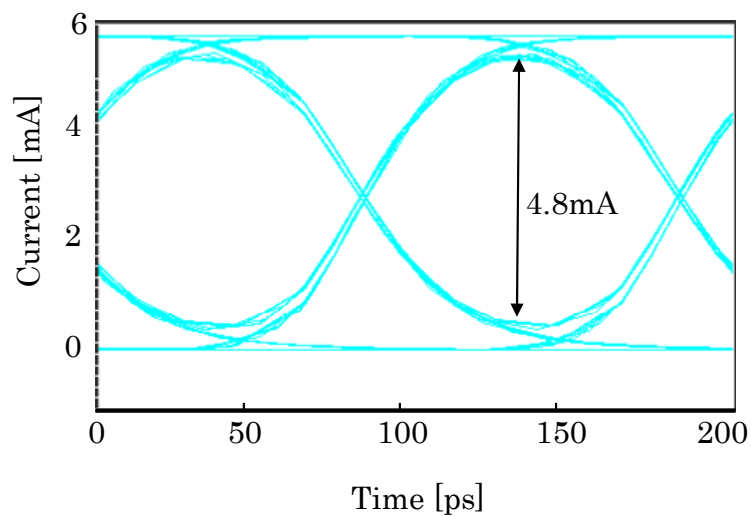


(b) 10Gb/s

図 4.10 入力バッファ回路の出力アイパターン



(a) 5Gb/s



(b) 10Gb/s

図 4.11 変調電流のアイパターン

#### 4.4 VCSELのSPICEモデルおよび光出力波形の予測

汎用電子回路設計ツールには、LDやPDと云った光デバイスのモデルは提供されていない。従って、従来はこれら光デバイスの小信号等価モデルを用いたシミュレーションによる動作解析が行われてきた。この時、光デバイスは抵抗や容量にて模擬される。しかし、これらの等価モデルではLDの発振遅延や緩和振動等の特性を模擬できないことが分かっている。

回路CADシミュレータの一種であるSPICE(Simulation Program with Integrated Circuit Emphasis)は様々な電子回路の動作解析や性能予測に広く用いられている。本節では、SPICE上でVCSELの動作を記述するレート方程式に基づいて電気的等価回路に置き換える可能性を検討する[16]。このモデルを使えば、VCSELの電流-光出力(I-L)特性、周波数応答特性、光出力波形等の解析を行うことができる。

VCSELの動作を記述する基本的なレート方程式は、

$$\frac{dN}{dt} = \frac{\eta_i}{qV} \times I(t) - \frac{N(t)}{\tau_n} - g_0 V_g \times \frac{N(t) - N_{tr}}{1 + \epsilon S(t)} \times S(t) \quad \dots (4.1)$$

$$\frac{dS}{dt} = -\frac{S(t)}{\tau_{ph}} + \frac{\Gamma\beta}{\tau_n} \times N(t) + \Gamma g_0 V_g \times \frac{N(t) - N_{tr}}{1 + \epsilon S(t)} \times S(t) \quad \dots (4.2)$$

で与えられるから、式(4.3)、式(4.4)のように書き換えることができる。

$$L1 \times \frac{dN(t)}{dt} + \frac{N(t)}{\tau_n} = \frac{\eta_i}{qV} \times I(t) - g_0 V_g \times \frac{N(t) - N_{tr}}{1 + \epsilon S(t)} \times S(t) \quad \dots (4.3)$$

$$L2 \times \frac{dS(t)}{dt} + \frac{S(t)}{\tau_{ph}} = \frac{\Gamma\beta}{\tau_n} \times N(t) + \Gamma g_0 V_g \times \frac{N(t) - N_{tr}}{1 + \epsilon S(t)} \times S(t) \quad \dots (4.4)$$

ここで、 $I(t)$ はVCSELに流れる電流、 $N(t)$  および $S(t)$ は電流、 $L1$ 、 $L2$ は値1Hを有するインダクタンス、 $R1$ は値 $1/\tau_n$ Ωを有する抵抗、 $R2$ は値 $1/\tau_{ph}$ Ωを有する抵抗に置き換えて考える。また、CCVSは光子密度 $S$ を実際の光出力に変換して電圧として表示するように設定する電流制御電圧源である。以上の置き換えの結果、図4.12に示す電気的等価回路が得られる。VCSELの代表的な各パラメータを表4.1に示す[17]。

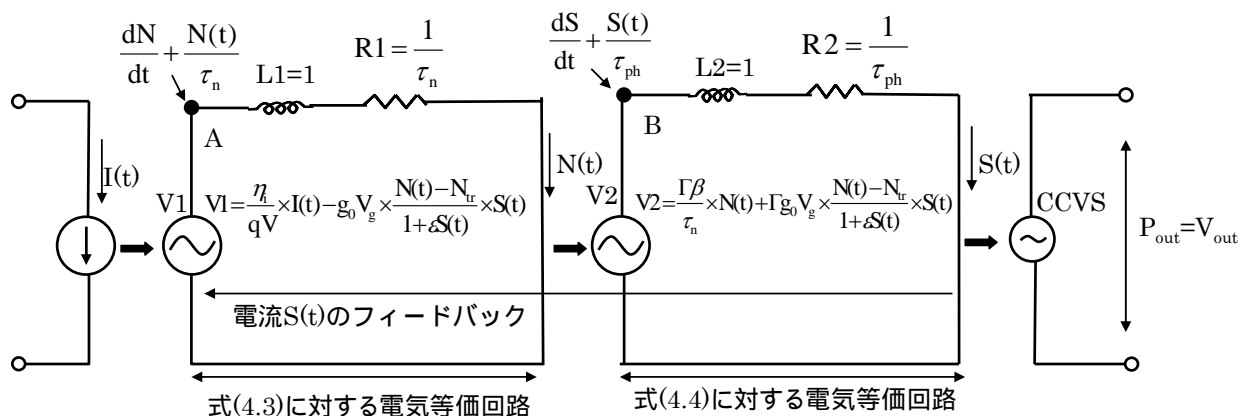


図 4.12 レート方程式を記述する VCSEL の電氣的等価回路

表 4.1 本研究の VCSEL のパラメータ定数

パラメータ	定義	物理定数
i	注入効率	0.8
g0	微分利得係数	$5.1 \times 10^{-16} \text{cm}^{-1}$
	利得飽和係数	$1.5 \times 10^{-17} \text{cm}^3$
	自然放出光の効率	$1.69 \times 10^{-4}$
V	活性層の体積	$1.2 \times 10^{-12} \text{cm}^3$
	光閉込め係数	0.053
Vg	光子群速度	$7.138 \times 10^9 \text{cm/s}$
Ntr	ゼロ利得キャリア密度	$1.8 \times 10^{-18} \text{cm}^{-3}$
$\tau_{ph}$	光子寿命時間	2.2ps
$\tau_s$	キャリア寿命時間	2.5ns

得られた VCSEL SPICE モデルを基に、シミュレーションを行った VCSEL の I - L 特性を図 4.13 に示す。このモデルでは、光子密度 S を実際の光出力に変換して電圧として表示するように設定した。大電流の飽和特性を無視すると、30 の実測結果とほぼ一致しており、SPICE 等価回路モデルが光出力の動作解析に有効であることが分った。なお、LD の発振閾値電流を約 0.8mA、駆動電流を 7mA に設定した時のシミュレーション解析によれば、光出力パワーは約 2.2mW であった。

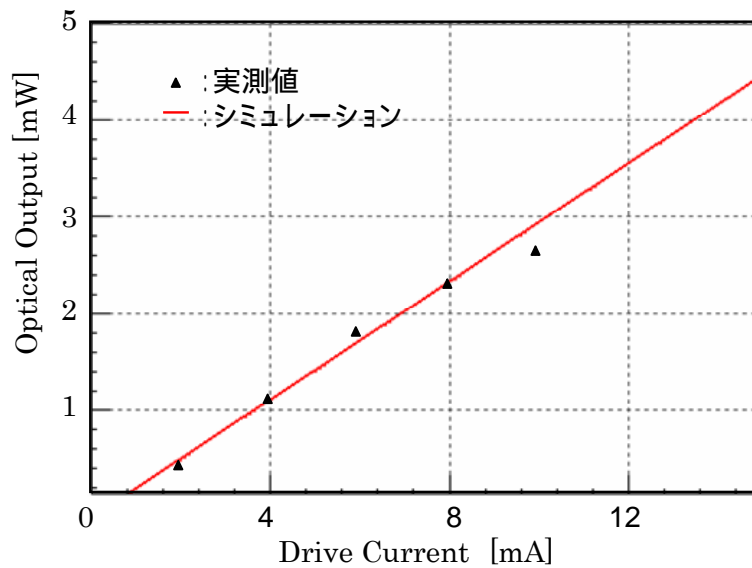


図 4.13 VCSEL の I - L 特性のシミュレーション結果

次に、図 4.14 に VCSEL に流す駆動電流をパラメータとして解析した小信号振幅変調に対する光出力の周波数応答特性を示す。同図より、駆動電流を大きくすると緩和振動周波数が高くなり、変調帯域が広くなると共にアイパターンに影響するピーキング成分が小さくなる。例えば、駆動電流が 1.5mA では帯域が 6.5GHz、ピーキング成分が 12dB であるのに対し、6mA では帯域が 12.5GHz、ピーキング成分が 2.5dB と何れも大幅に改善されることが分る。

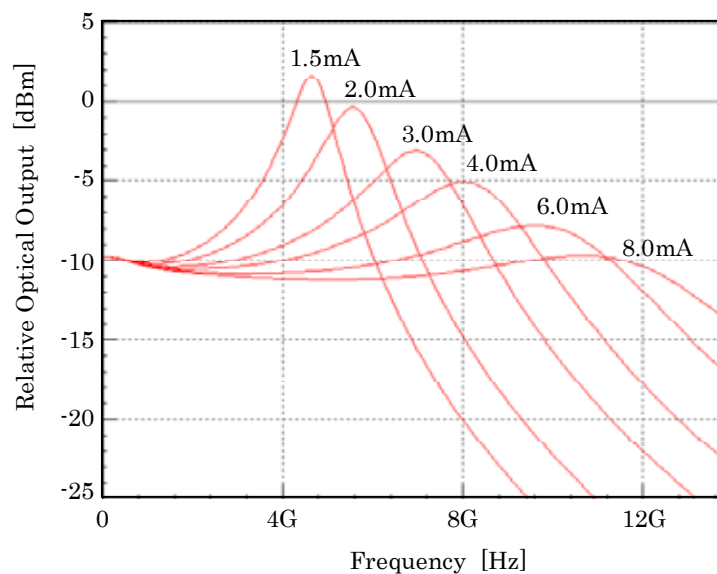


図 4.14 小信号振幅変調時の周波数応答特性

次に、VCSELのSPICEモデルを用いて5Gb/sおよび10Gb/sにおける光出力波形に対する緩和振動や発振遅延の影響を解析する。光出力波形はバイアス電流に強く依存するので、バイアス電流を0.5mA、1mA、2mAとした時の波形解析を行った。この時、光出力信号振幅の“1”レベルが2.2mWとなるように変調電流の振幅をそれぞれの場合に合わせて調整した。図4.15、図4.16に、シミュレーションによる5Gb/sおよび10Gb/sの光出力信号のアイパターンを示す。同図より、バイアス電流を閾値電流以下に設定した場合は光信号が出力されるまでの発振遅延が生じ、アイパターンのジッタが増えている。バイアス電流を増加させると、ピーキング成分が減少する反面、光出力の消光比が小さくなる。これから、高速変調と高いS/Nを実現するにはバイアス電流を常に閾値電流に漸近させる必要があることが分かる。本研究では、バイアス電流を1mAと設定した。また、10Gb/sの波形に対し緩和振動の影響が大きくなることから、駆動回路には緩和振動を低減するエンファシス(Emphasis)などの手段も必要であることが分かった。

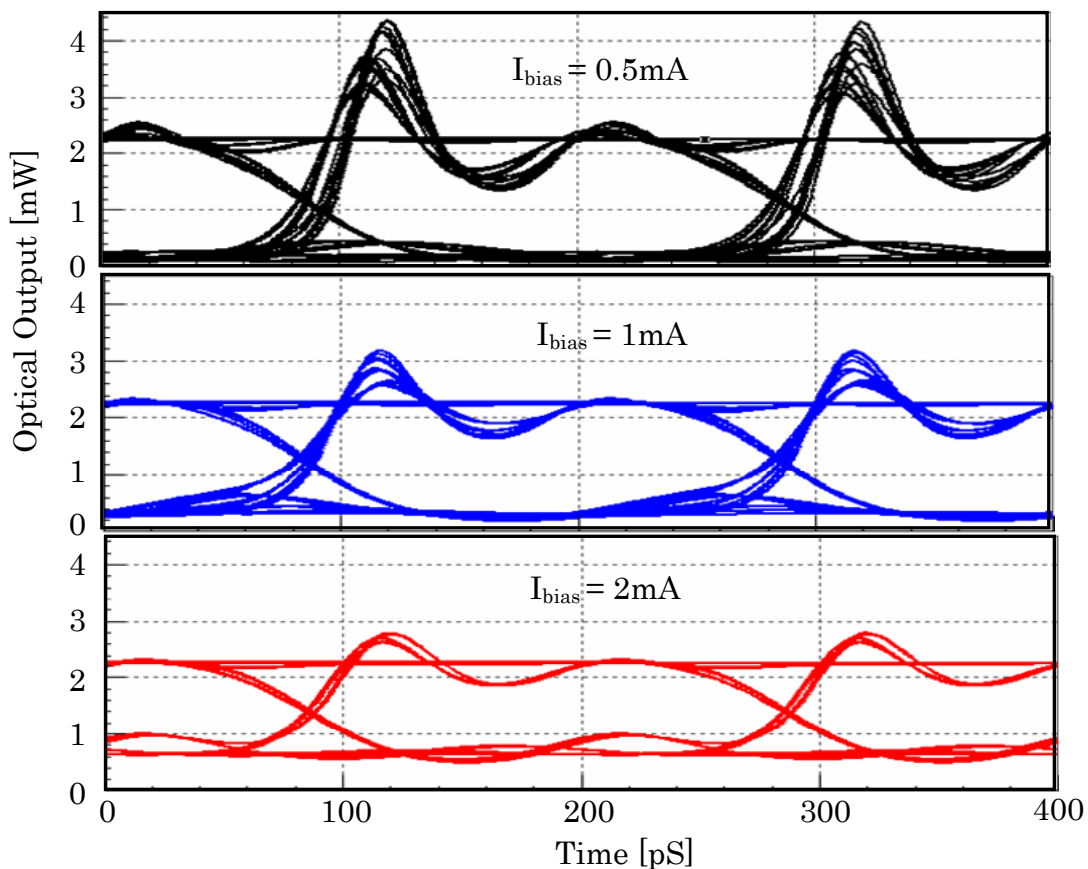
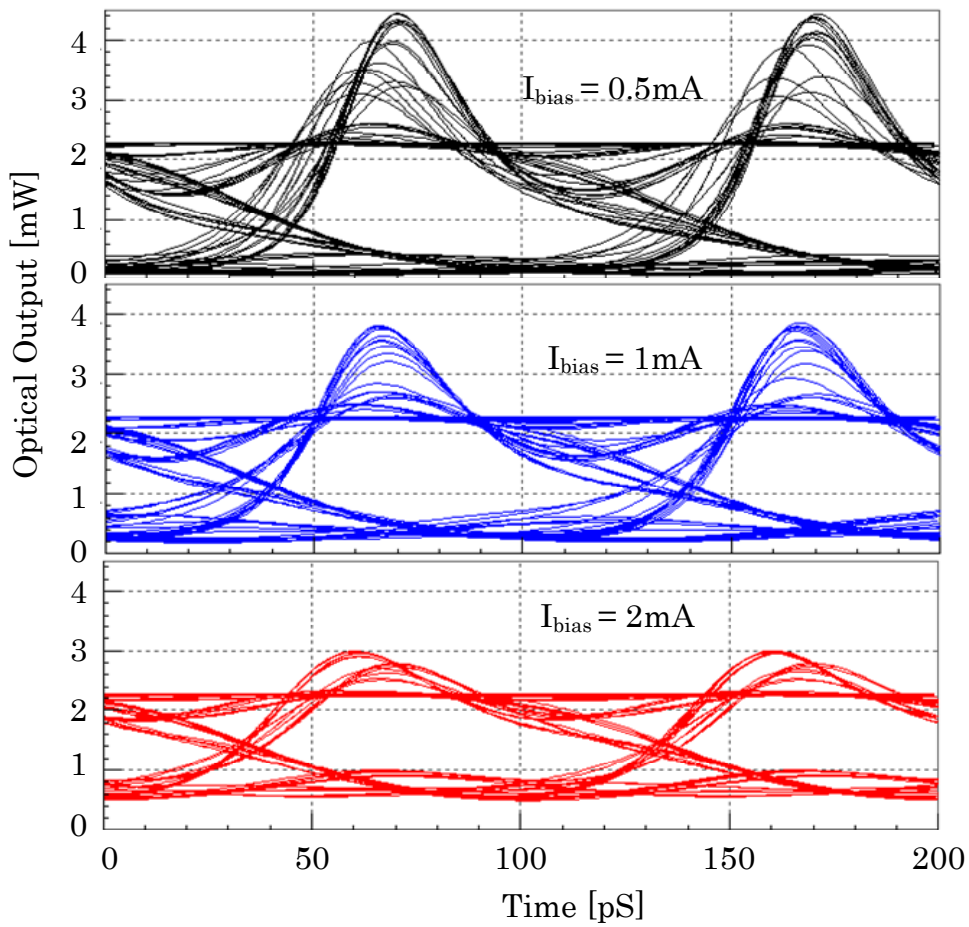


図 4.15 5Gb/s 光出力波形のシミュレーション結果





(a) 10Gb/s

図 4.16 10Gb/s 光出力波形のシミュレーション結果

#### 4.5 LSI-VCSEL 実装に要求される要件

LSIの実装に関する要件を明らかにするために、図 4.17 に示す簡易等価回路を用いて検討を行った。同図で、 $R_{OUT}$ および $C_S$ はVCSEL駆動回路(VCSEL Driver)

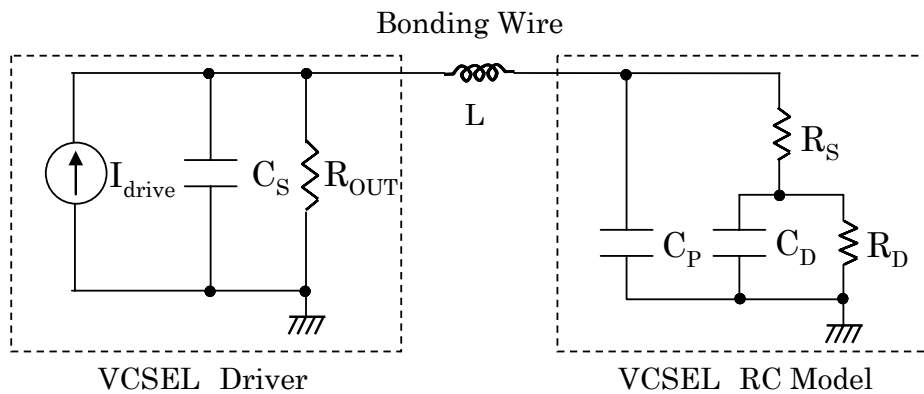


図 4.17 駆動回路および VCSEL の簡易等価モデル

の出力インピーダンスと出力寄生容量である。また、 $C_P$ はVCSELパッドの寄生容量、 $R_S$ はVCSELの分布ブラッグ反射ミラー(DBR)の抵抗、 $C_D$ 、 $R_D$ はVCSEL活性層の拡散容量と拡散抵抗で、 $C_D R_D$ 積は一定値となる。ここで、 $C_D$ 、 $R_D$ はVCSELに流れる電流に依存し、 $C_D$ は電流に比例して増大し、 $R_D$ は反比例して小さくなる。VCSELとLSIを接続する時に問題となるのは、ボンディングワイヤに付随する寄生インダクタンスによって生じる電流のリンク現象であり、光出力波形の劣化を招く。従って、寄生インダクタンスの光出力波形への影響を解析した。図4.18(a)、(b)および図4.19(a)、(b)に、図4.17の簡易等価回路において、寄生インダクタンス $L$ を0nHおよび1nHの場合の5Gb/sおよび10Gb/sにおける変調電流のシミュレーション結果を示す。ここで、用いた各パラメータは $C_S = 100\text{pF}$ 、 $R_{OUT} = 1\text{K}$ 、 $C_P = 200\text{pF}$ 、 $C_D = 400\text{pF}$ 、 $R_D = 25$ とした。同図より、電流波形に寄生インダクタンスによるリンクが生じていることが分る。このリンクはインダクタンス値の増加と共に大きくなるため、寄生インダクタンスの低減、即ち、ボンディングワイヤの最短配線が実装の鍵となる。

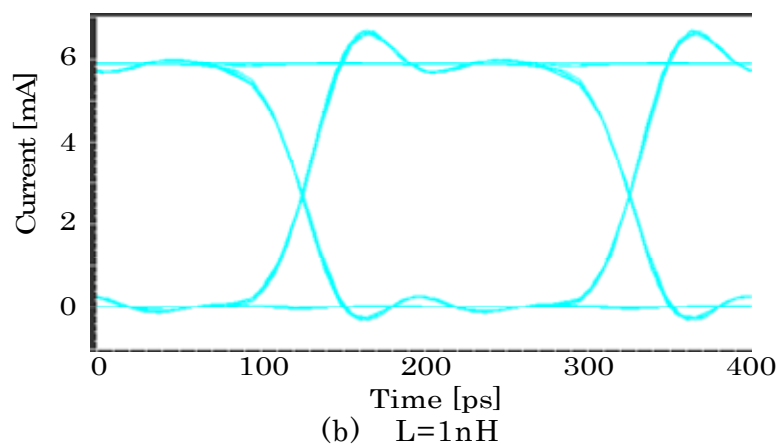
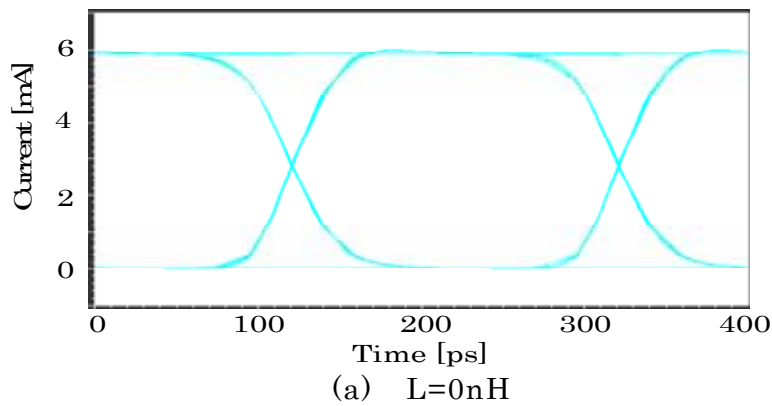
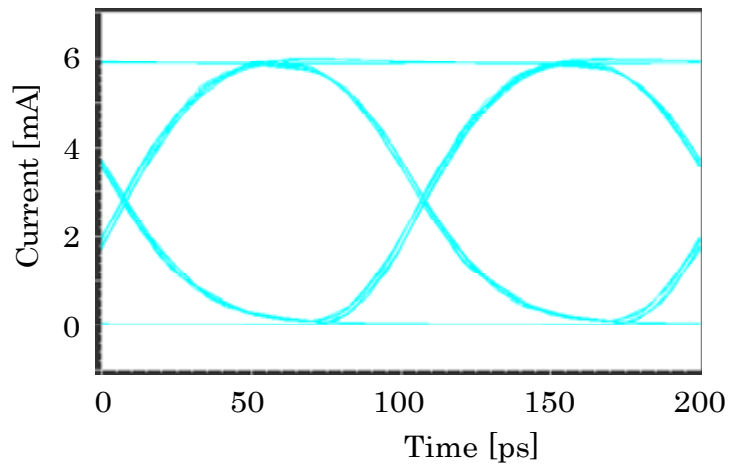
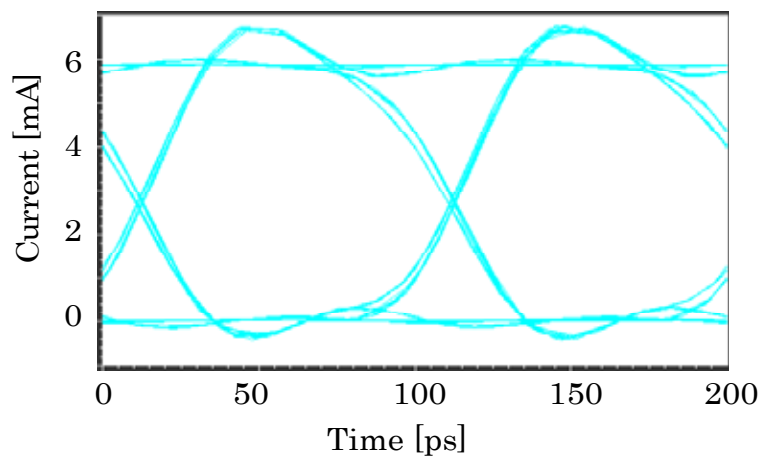


図 4.18 5Gb/s 変調電流に対する寄生インダクタンスの影響



(a)  $L=0\text{nH}$



(b)  $L=1\text{nH}$

図 4.19 10Gb/s 変調電流に対する寄生インダクタンスの影響

## 第 5 章 LSI 試作および評価結果の考察

### 5.1 試作 LSI の電気特性評価基板の設計

変調電流・バイアス電流同時制御光安定化方式の有効性と 5Gb/s 動作を検証するために、VCSEL 駆動回路 LSI を試作した。図 5.1 に試作した LSI の概観を示す。適用プロセスは  $0.18\mu\text{m}$  CMOS プロセスで、4 チャンネルの VCSEL 駆動回路が搭載されている。チップ寸法は  $1.8\text{mm}\times 1.5\text{mm}$ 、電源電圧は 1.8V、消費電力は約  $30\text{mW}/\text{CH}$  である。

表 5.1 に試作した LSI の電気特性評価基板の設計仕様を示す。評価基板における信号線の配線パターンにはマイクロストリップラインを用いた。マイクロストリップラインの特性インピーダンスは、H.A.Wheeler の式より算出できる。LSI の入出力パッドの間隔は  $125\mu\text{m}$  であるから、信号伝送線路は LSI パッドの近傍では不整合になり易い。図 5.2 に示す構造では、信号伝送線路の先端がと 2 層接地面(GND)とでマイクロストリップラインを構成しており、50 $\Omega$  整合を実現できる線幅  $W2$  は  $0.31\text{mm}$  となる。

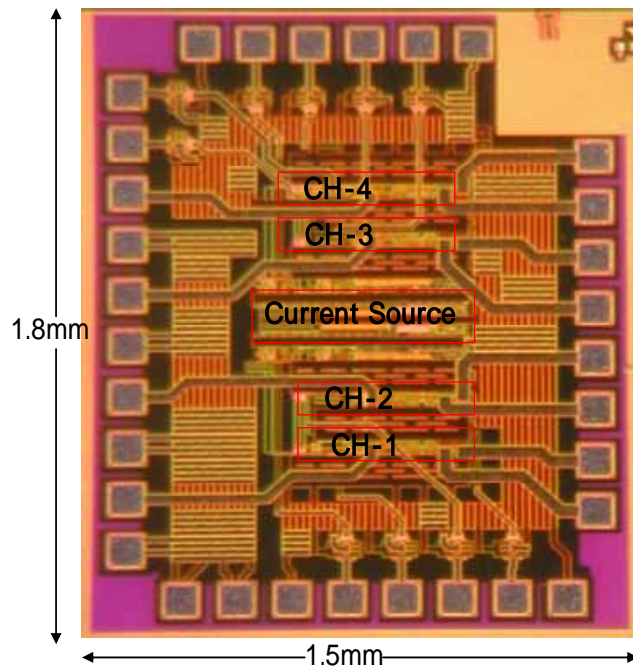


図 5.1 試作した 4-CH VCSEL 駆動回路 LSI の概観

表 5.1 プリント基板設計仕様

基板材料	FR-4(ガラスエポキシ)
構成層数	4層
比誘電率	$\epsilon r = 4.7$
基板厚	1.0mm
銅箔膜厚	35 $\mu$ m

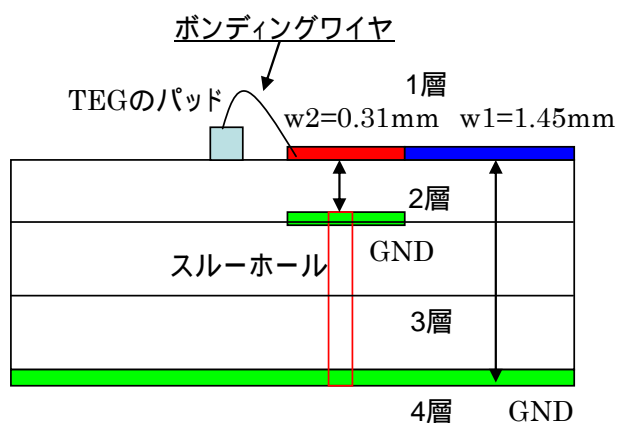


図 5.2 評価基板の配線パターン

次に , Agilent 社の ADS(Advanced Design System)Momentum 解析ツールを用いて伝送線路の特性を考察する。図 5.3 に提案したマイクロストリップ線路の Momentum レイアウトを示す。中心部の配線の接地面は 2 層 GND であり , その他の部分はスルーホールを通して 4 層 GND に繋いでいる。

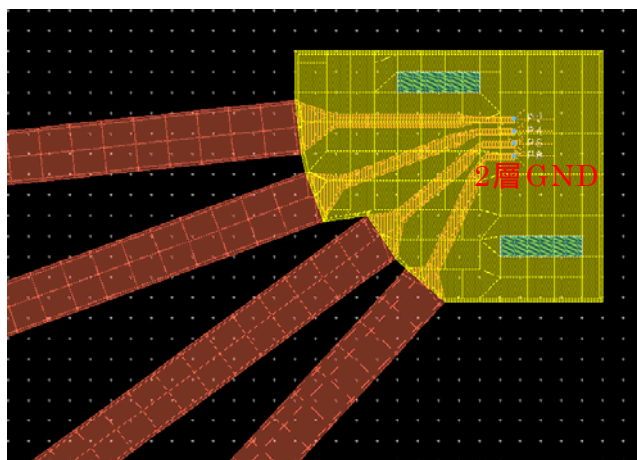


図 5.3 伝送線路の Momentum レイアウト

マイクロストリップライン伝送線路の伝達特性  $S(2,1)$  の Momentum 解析結果を図 5.4 に示す。帯域は約 7GHz である。図 5.5 は電気特性評価基板および LSI の実装状態を示す中心部の拡大写真である。信号の取り出しには、ボンディングワイヤを用い、寄生インピーダンスの影響を避けるために最短配線となるように設計されている。次に、評価基板、ボンディングワイヤや LSI のインピーダンスを TDR (Time Domain Reflecting) 法を用いて測定した。TDR 法は反射点からの伝送遅延

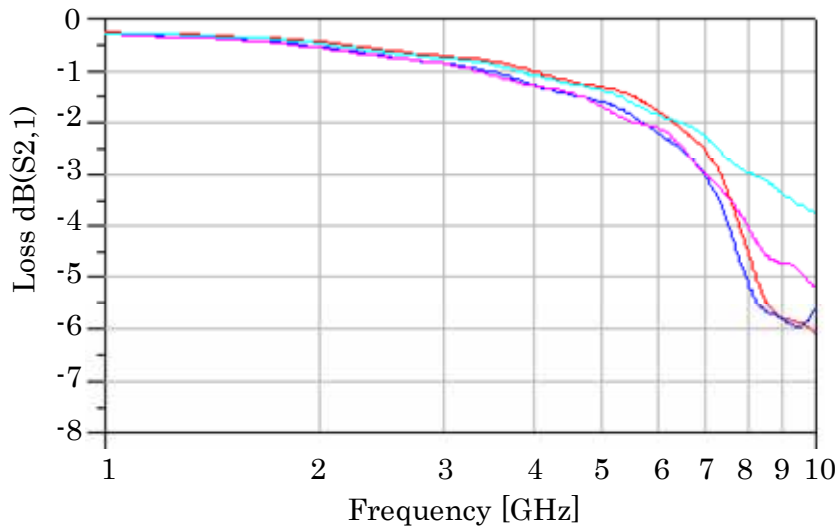
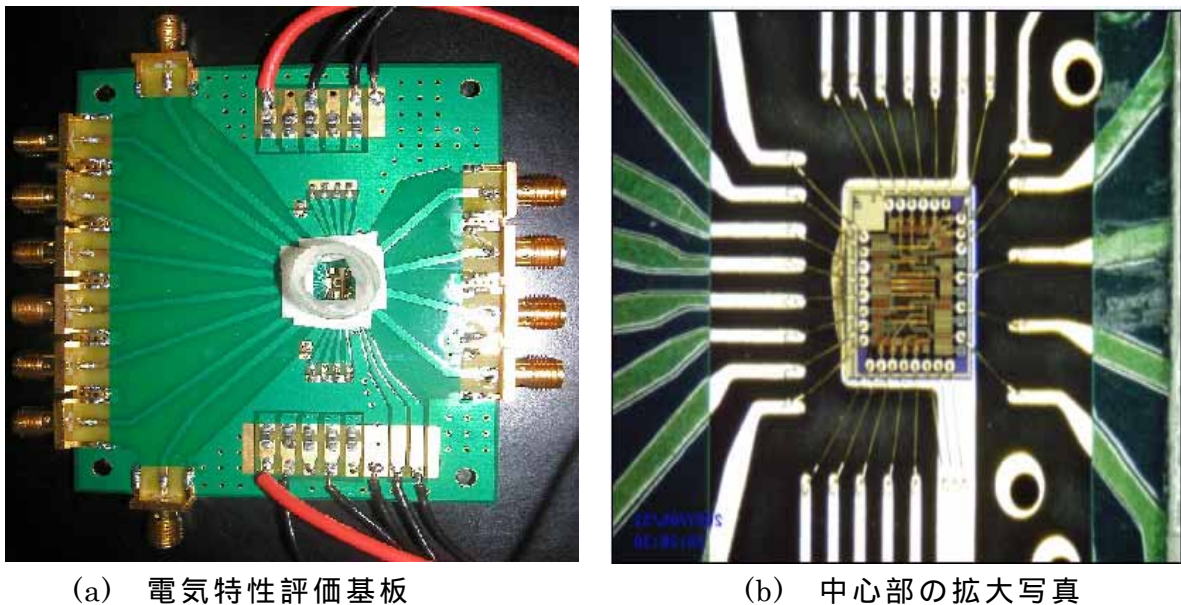


図 5.4 伝送線路の  $S(2,1)$  の Momentum 解析結果

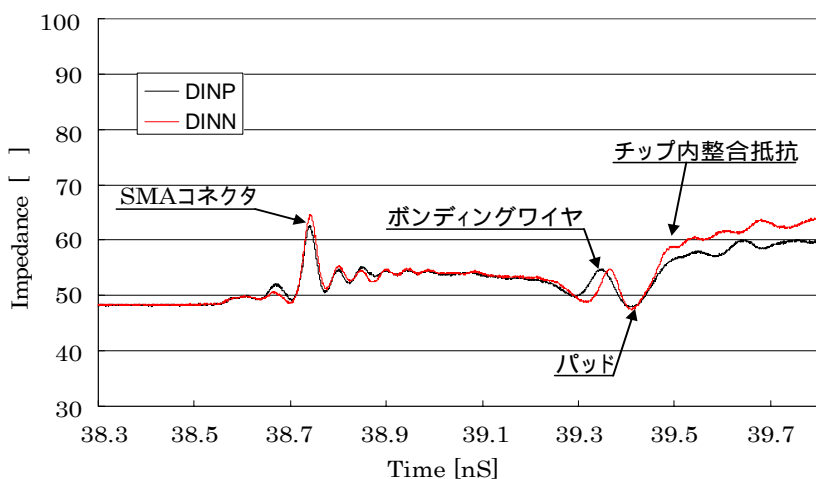


(a) 電気特性評価基板

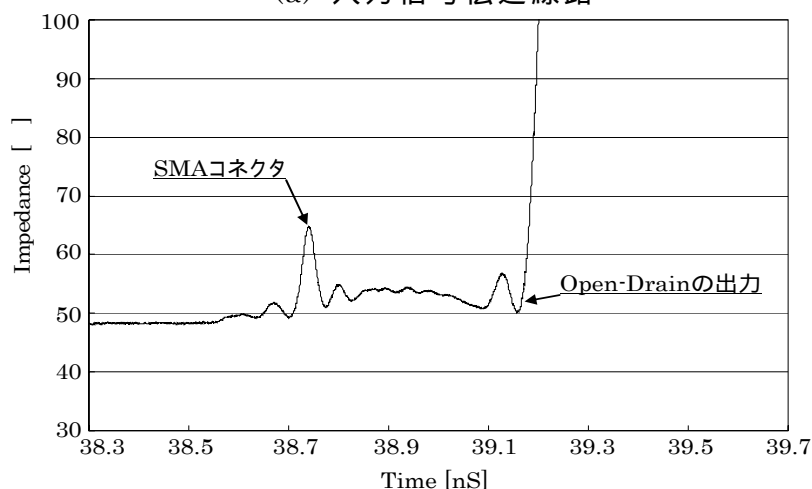
(b) 中心部の拡大写真

図 5.5 電気特性評価基板および LSI の実装法

時間から反射位置までの距離を、また、S11 からインピーダンスの不整合状態を測定し、反射位置のインピーダンスを特定する方法である。図 5.6 に入出力インピーダンスの測定結果を示す。縦軸はインピーダンスを、横軸は反射パルスの伝送遅延時間を示す。入力側では、LSI 入力端のインピーダンス整合用抵抗が設計値  $50\Omega$  に対し測定結果は  $60\Omega$  となった。これは、試作した LSI のシート抵抗が製造ばらつきにより 20%程度大きくなったことによる。一方、出力側では  $39.2\text{ns}$  の位置のインピーダンスが無限大となっている。これは、実装予定の試作 LSI 出力 MOSFET のドレインの位置に相当する位置がオープン状態になっていることを示す。また、評価基板に半田の付いた SMA コネクタがインピーダンス整合に大きな影響を与えることが分った。ちなみに、コネクタ部では入出インピーダンスは  $65\Omega$  であり、30%の不整合が生じている。



(a) 入力信号伝送線路



(b) 出力信号伝送線路

図 5.6 伝送線路インピーダンスの TDR 測定結果

## 5.2 電気特性の評価結果

### 5.2.1 駆動電流の温度特性

図 5.7 に温度特性生成回路の出力電流 $I_{out}$ の温度依存性を示す。同図で、0 ~ 70 の温度範囲における電流の変化量は約 1mAである。高温側で実測値がシミュレーション値より若干減少する傾向にあるが、TDCS電流回路に比べて約 4.5 倍の温度変化量を実現できることが分った。この結果を基に、変調電流 $I_{mod}$  およびバイアス電流 $I_{bias}$ は図 3.2 に示す抵抗 $R_2$ 、 $R_3$ により所要値に設定される。

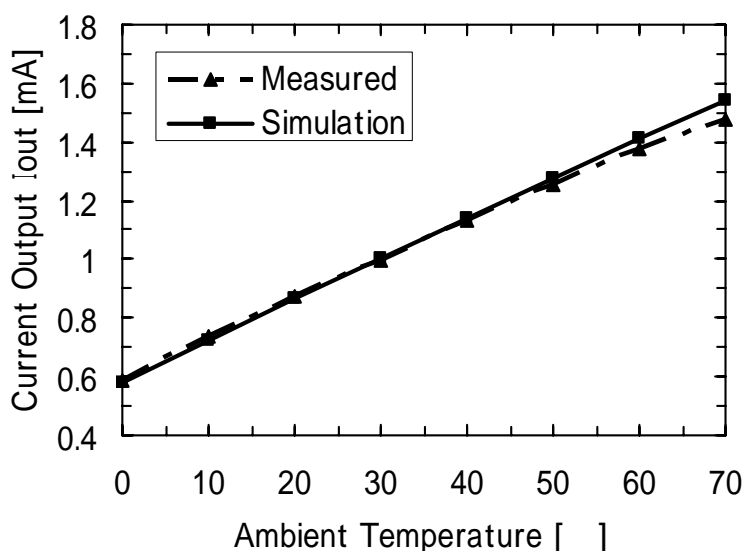


図 5.7 温度特性生成回路出力電流の温度特性

光出力パワーを 3dBmとして設計した試作LSIの変調電流 $I_{mod}$ 、バイアス電流 $I_{bias}$ および駆動電流の温度範囲 0 ~ 70 における評価結果を図 5.8、図 5.9、図 5.10 に示す。図 5.8 より、変調電流 $I_{mod}$ の温度特性は高温側で飽和傾向を示し、目標特性より低い電流値となることが分かった。70 における減少値は約 0.9mAで、変調電流振幅の 10%程度であった。これは、主として、図 5.7 で示すように、変調電流 $I_{mod}$ を生成する基となる温度特性生成回路の出力電流 $I_{out}$ が高温側で減少することに起因している。図 5.9 はバイアス電流の温度特性を示したものであるが、VCSELの高速変調動作を実現する観点から、バイアス電流値は目標値より若干高目に設定されている。70 における評価結果と目標値との差は約 0.3mAであった。図 5.10 は変調電流とバイアス電流を加算したVCSEL駆動電流の温度特性を示したもので、目標特性との若干の差異が見られる。



なお、図 5.11 に、30 における変調電流とバイアス電流の電源電圧変動特性を示すが、電流の変動量は電源電圧  $1.8V \pm 0.2V$  に対し何れも約  $\pm 5\%$  であった。この変動量は光出力信号の振幅変動は  $\pm 0.2\text{dB}$  程度であり、無視できる。

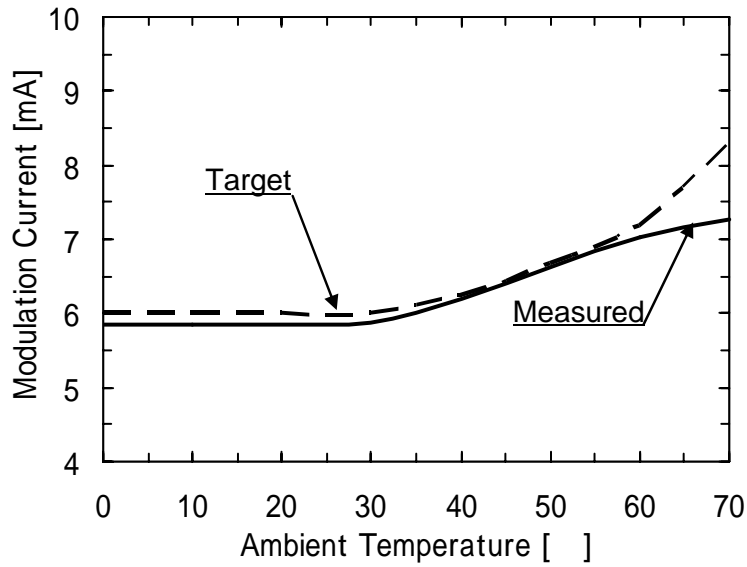


図 5.8 変調電流の温度特性

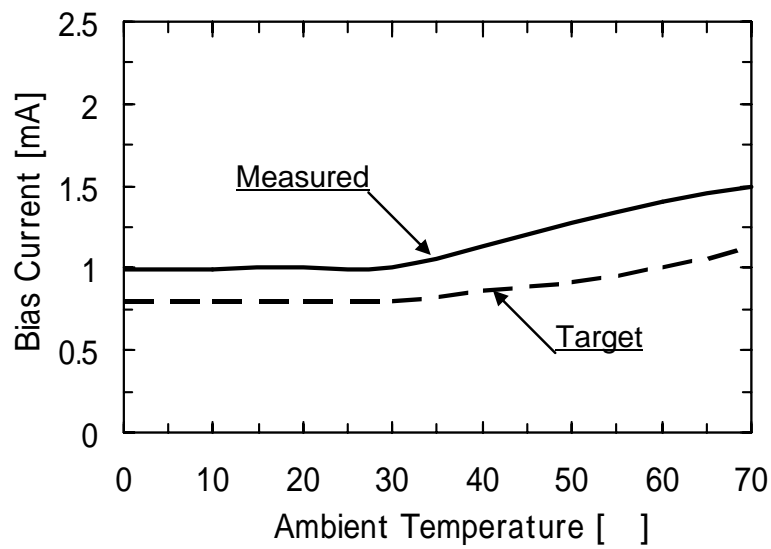


図 5.9 バイアス電流の温度特性

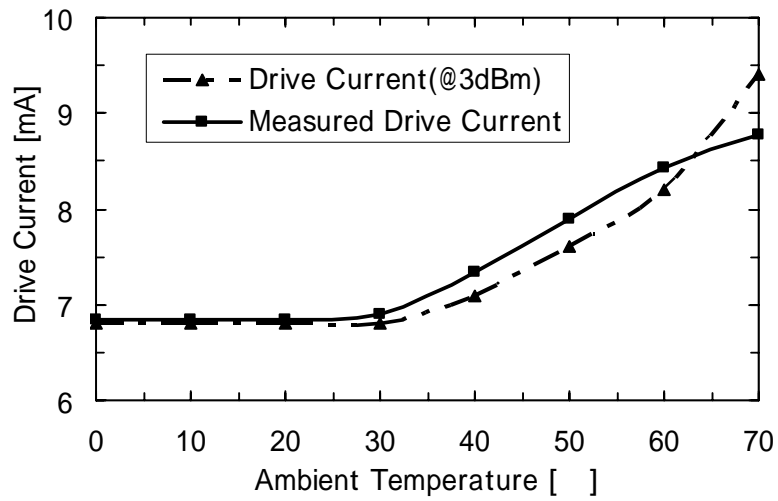
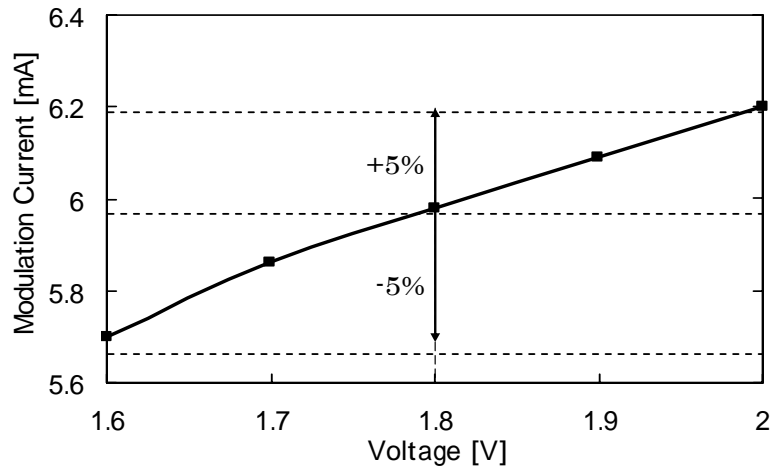
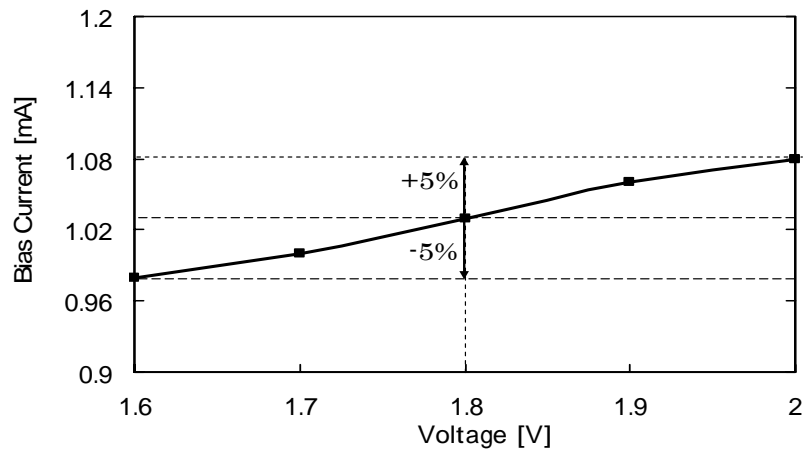


図 5.10 駆動電流の温度特性



(a) 変調電流



(b) バイアス電流

図 5.11 電流の電源電圧に対する変動(30 )

## 5.2.2 変調電流のダイナミック特性

Gb/s動作を検証するために、試作LSIのダイナミック特性を評価した。図 5.12 に変調電流のダイナミック特性の測定系を示す。パルス信号発生器PPGはランダム差動信号源(PRBS)としてVCSEL駆動回路に符号長  $2^{11} - 1$  の信号列を供給する。駆動回路の出力側はOpen-Drainになるため、BIAS Teeにより 50Ω 終端し、外部から 1.5Vを印加した[18]。また、変調電流のアイパターンをオシロスコープ(TEK CSA8000B)の入力インピーダンス 50Ωを終端抵抗として用い、電圧信号に変換することにより測定した。

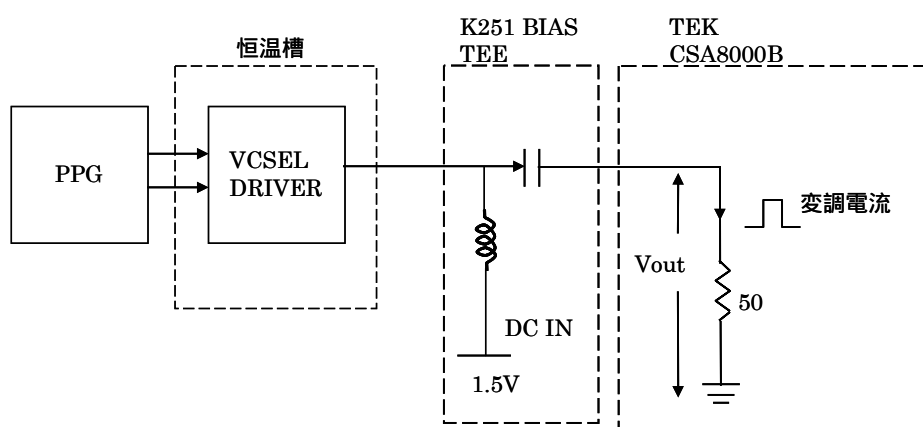
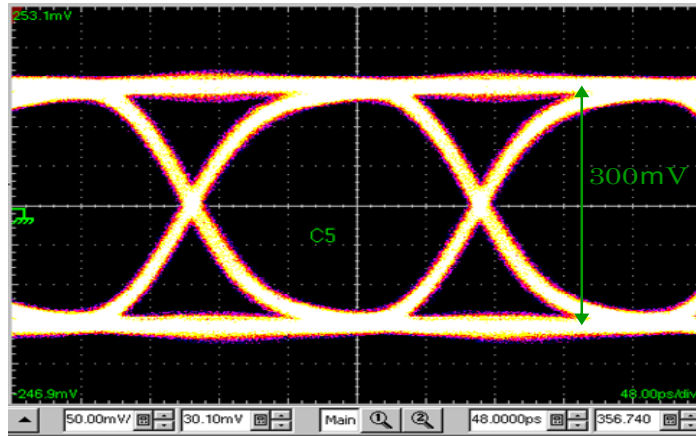


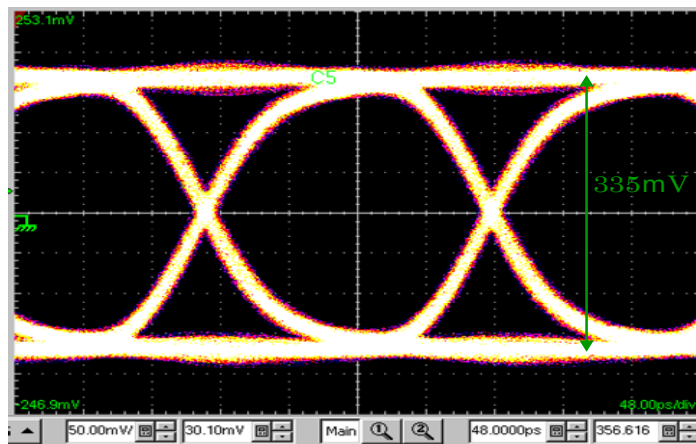
図 5.12 ダイナミック特性の測定方法

試作した LSI の温度特性の評価には恒温槽を用いた。図 5.13(a), (b), (c)に、それぞれ、30℃、50℃、70℃ に対する変調電流の 5Gb/s アイパターンを示す。同図より、開口度の良好なアイパターンが得られ、5Gb/s 動作が可能なが分かった。また、変調電流の振幅は温度上昇と共に大きくなっているが、これは図 5.8 で示す変調電流の温度特性を反映したものであることが分かる。

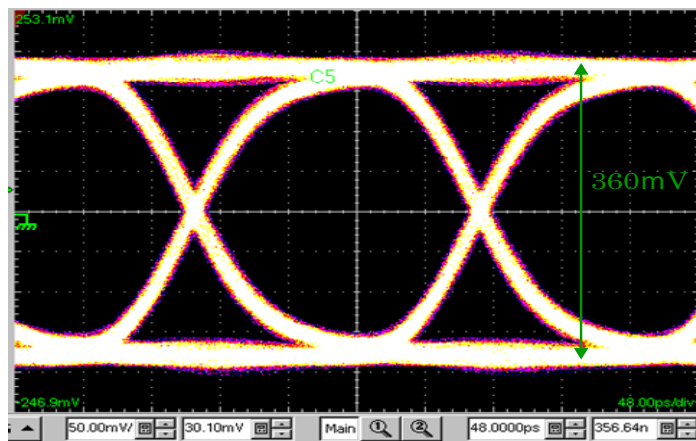
図 5.14(a), (b), (c)に、それぞれ、30℃、50℃、70℃ に対する変調電流の 10Gb/s アイパターンを示す。同図より、アイパターンの開口度は 5Gb/s 変調時に比べ劣化し、立上り時間や立下り時間は約 70ps となる。これは LSI の配線寄生容量や評価系の影響と推察している。



(a) 30

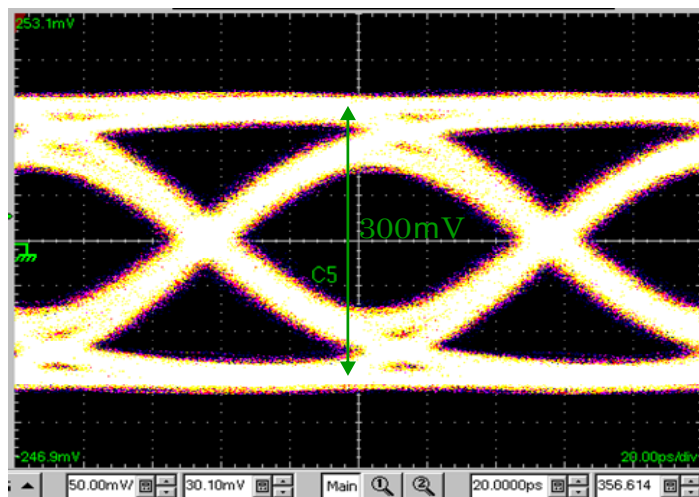


(b) 50

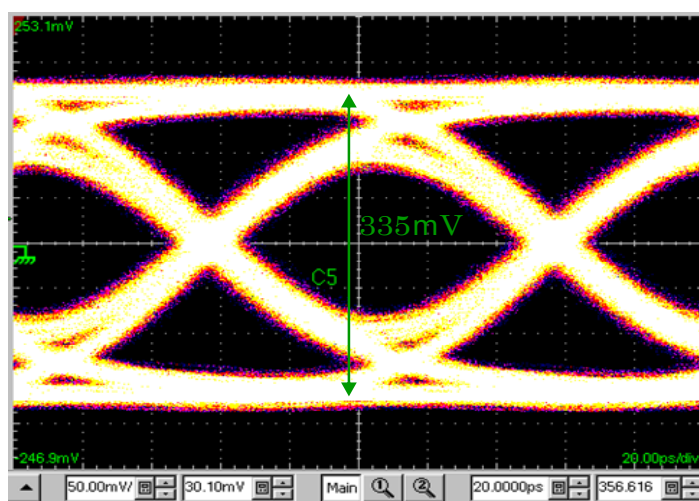


(c) 70

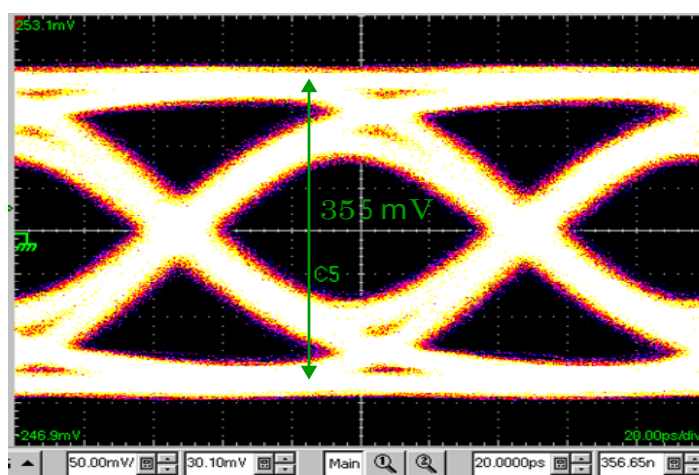
図 5.13 変調電流の 5Gb/s アイパターンの温度依存性



(a) 30



(b) 50



(c) 70

図 5.14 変調電流の 10Gb/s アイパターンの温度依存性

### 5.3 VCSEL 光出力特性の評価結果

図 5.15 に試作した LSI と VCSEL をセラミック基板上に実装した状態の外観写真を示す。試作 LSI の信号線や電源線，接地線等と基板パターン間はボンディングワイヤで結線されている。図 5.16 に VCSEL の光出力特性を評価するコンセプトを示す。微調整台により，VCSEL とマルチモード光ファイバとの位置を調整し，光パワーメータを用いて，VCSEL の光出力パワーが最大化となるように調整する。また，VCSEL を正常動作させるのに必要な駆動電圧は外部電源にて供給しているが，試作 LSI の出力 MOSFET を飽和領域で動作させるため，3.3V とした。図 5.17 に光出力特性の評価系の外観を示す。

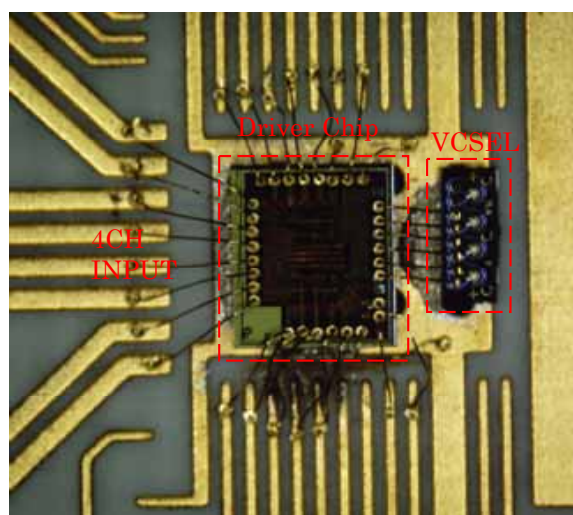


図 5.15 試作 LSI および VCSEL のセラミック基板への実装形態

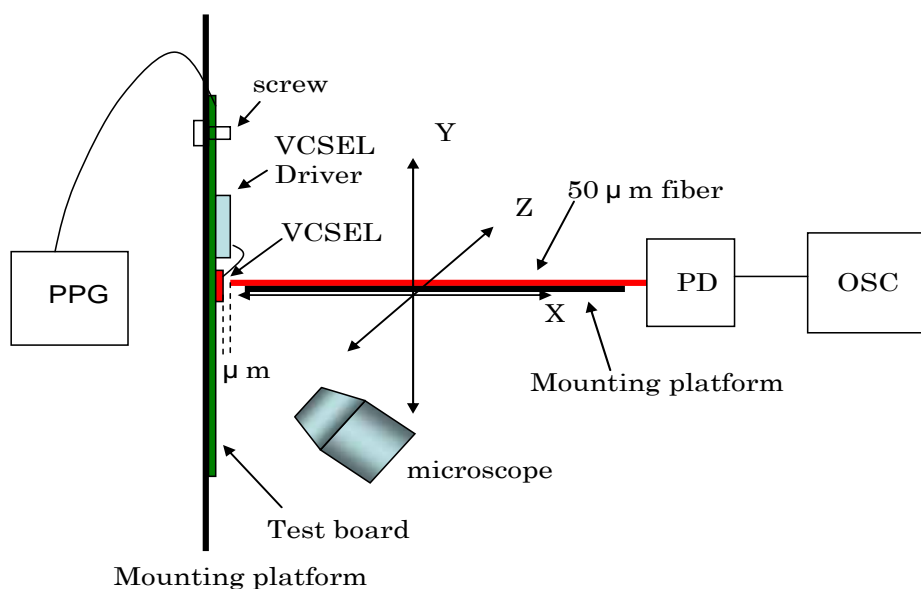


図 5.16 VCSEL 光出力特性評価系のコンセプト



図 5.17 光出力特性の評価系の外観

この評価系を用いて、光出力パワーの温度特性の評価を行った。図 5.18 にその評価結果を示す。光出力パワー変動は目標値  $3\text{dBm} \pm 0.5\text{dB}$  に対し、温度範囲  $0 \sim 63$  において  $+0.15\text{dB}$ 、 $63 \sim 70$  において  $-0.15\text{dB}$  であり、変調電流・バイアス電流同時制御方式の有効性を確認できた。この結果は、変調電流およびバイアス電流の温度特性が反映されたものである。ちなみに、電流を一定にして VCSEL を駆動した時の光出力パワーの劣化量は、 $0 \sim 70$  において  $-0.9\text{dB}$  であった。

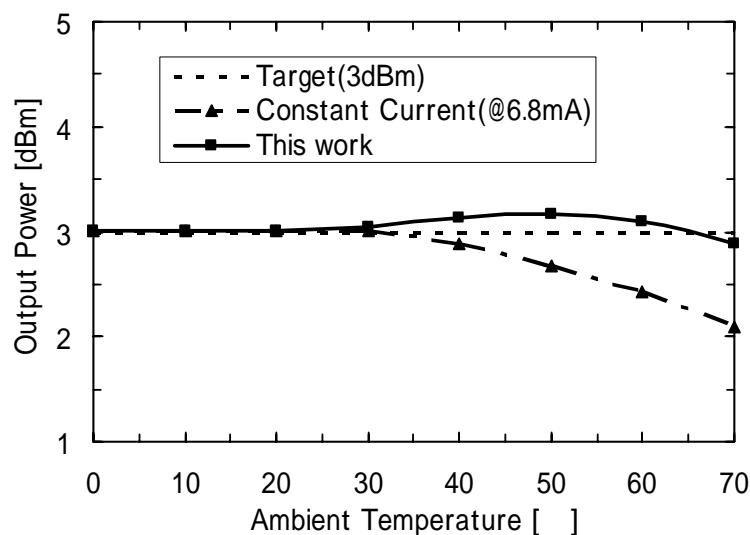
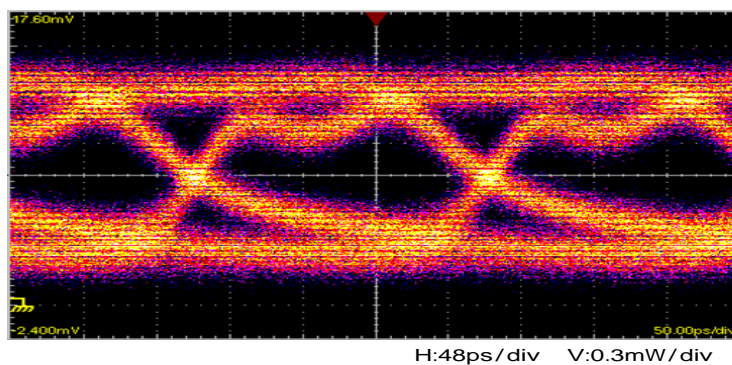
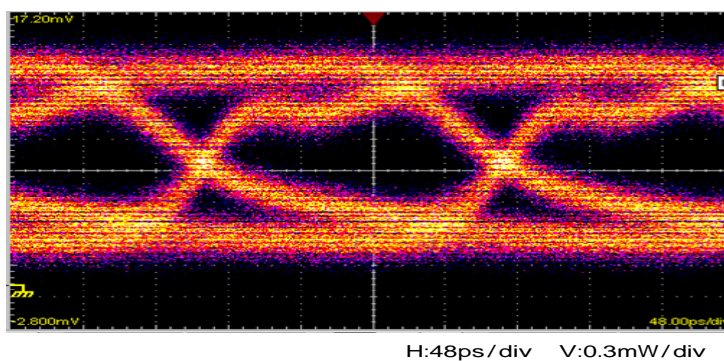


図 5.18 VCSEL 光出力パワーの温度依存性

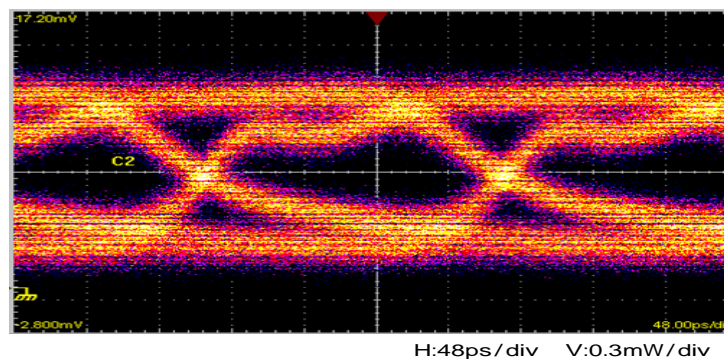
図 5.19(a), (b), (c)に, それぞれ, 30, 50, 70 における 5Gb/s VCSEL 出力光のアイパターンを示す。同図より, 50 における VCSEL 出力振幅が大きく, 70 における VCSEL 出力振幅が小さくなっていることが分かる。これは図 5.18 で示す光出力パワーの温度特性を反映したもので, VCSEL の高速変調動作の観点からも変調電流およびバイアス電流同時制御方式の有効性を確認できた。5 Gb/s 光出力アイパターンにおいては, 変調電流のアイパターンに比べアイが若干閉じているが, これは使用した VCSEL の性能および実装状態が影響しているものと推



(a) 30



(b) 50



(c) 70

図 5.19 30, 50, 70 における VCSEL 出力の 5Gb/s アイパターン



測される。また， VCSEL のシミュレーション波形に比べピーク成分が見られなくなっているが， 試作 LSI の寄生容量や評価系の寄生容量が影響しているものと推測される。それ故， VCSEL の選択や実装状態の改善により， 更に， 良好なアイ開口が得られると思われる

#### 5 . 4 評価結果のまとめ

以上， 試作 LSI， 並びに， VCSEL 光送信器として評価した結果と本研究の開発目標を表 5.2 に示す。同表より， VCSEL 光出力パワーの変動量は周囲温度 0 ~ 70 において  $3\text{dBm} \pm 0.15\text{dB}$  であり， 目標の  $\pm 0.5\text{dB}$  を十分満足する結果が得られた。また， 5Gb/s 動作も確認でき， 変調電流・バイアス電流同時制御光出力安定化方式および広帯域負帰還入力バッファ回路を導入した Gb/s 駆動回路方式の有効性が実証できた。

表 5.2 本研究の開発目標と評価結果

項 目	目 標 値	試 作 結 果
伝送速度	5Gb/s	5Gb/s
光出力	$3\text{dBm} \pm 0.5\text{dB}$	$3\text{dBm} \pm 0.15\text{dB}$
温度範囲	0 ~ 70	0 ~ 70
電源電圧	1.8V	1.8V
消費電力	30mW/CH	30mW/CH
プロセス	0.18 $\mu\text{m}$ CMOS	0.18 $\mu\text{m}$ CMOS

## 第6章 結 論

LSI チップ - LSI チップ間やボード - ボード間の高速・大容量データ転送を可能とする光配線用 VCSEL 送信器の開ループ型光出力安定化回路方式を検討し,新しい回路方式の提案を行った。また,電流スイッチング回路方式を検討し,負帰還入力バッファ回路の導入により Gb/s 帯の変調が可能なことを示した。更に,これらの成果をベースに CMOS プロセスを用いて VCSEL 駆動用 LSI を試作・評価し,高精度な光出力安定化と 5Gb/s 動作を実証した。また,試作した LSI と VCSEL を同一基板上に搭載した光送信器を構成し,その光出力特性の評価により 5Gb/s の光伝送が可能であることを明らかにした。以上の結果から,本研究において,VCSEL 駆動回路方式並びに Gb/s 帯 LSI 化の手法を確立できたことを確認した。以下,その内容を要約して示す。

光出力安定化回路方式に関しては,VCSEL の変調帯域および温度特性など諸特性を解析すると共に光出力の変動要因について論じ,光出力安定化のための設計指針を明らかにした。次に,技術課題を解決する方法として,機能の異なる二種類のバンドギャップレファレンス電流源から出力される正の温度係数を持つ電流と温度フリーで一定な電流とを減算した後に電流増幅する変調電流・バイアス電流同時制御光出力安定化回路方式を考案した。

電流スイッチング回路方式に関しては,電流スイッチング回路に要求される入力条件を明らかにし,LSI 化に適した Gb/s 動作が可能な回路方式として,2 段構成の負帰還入力バッファ回路の導入が有効であることを示した。また,VCSEL の動作を記述するレート方程式を基にした電氣的等価回路の SPICE モデルを用いて出力光の動作解析と評価を行い,5Gb/s 以上の伝送が可能なことを示した。

VCSEL 駆動用 LSI に関しては,0.18  $\mu\text{m}$  CMOS プロセスを用いて試作・評価を行い,VCSEL 光出力パワーの変動が温度範囲 0 ~ 70 において  $3\text{dBm} \pm 0.15\text{dB}$  であり,変調電流・バイアス電流同時制御方式の有効性が実証された。また,5Gb/s 動作については,30 , 50 , 70 における変調電流並びに VCSEL 出力光のアイパターンの評価結果から,良好なアイ開口が得られることを確認した。

## 謝 辞

本研究を進めるにあたり，終始全般的なご指導と的確，有益なご助言を賜りました鹿児島大学工学部電気電子工学部の山下喜市教授，大畠賢一准教授に心から感謝の意を表します。本論文を纏めるに際し，鹿児島大学工学部電気電子工学部の高田等教授には多面的に有意義な御討論と御助言をいただき心から感謝致します。

この研究活動に際し，日立製作所(株) 生産技術研究所回路実装設計研究室中條徳男主任研究員，金井久亮研究員には多方面において支えて頂きましたことに関し深く感謝の意を表します。また，チップの評価に対して日立製作所(株) 中央研究所に御協力頂きましたことを心から感謝致します。

共に研究に携わり，数々のアドバイス，フォローして頂いた光配線グループの方々に深く感謝いたします。本論文執筆にあたり，山下・大畠研究室のみなさまには多大なるご協力を頂きまして有難うございました。また，本チップ試作は東京大学大規模集積システム設計教育研究センターを通しローム(株)および凸版印刷(株)の協力の下で行われたものである。

最後に，2年間の研究活動にご支援して頂いた国際ロータリー第2730地区阿久根クラブの方々に，特に，私のカウンセラーである吉瀬靖人社長(丸吉(株))と令夫人に深く心から御礼申し上げます。いつも，私の研究，家庭を支えてきた妻隋姝妍博士，明るくて元気で育てられている息子李文朴，娘李文嘉に深く感謝する共に，この小さい結実の喜びを分かち合いたい。

## 参 考 文 献

- [1] 三上修，内田禎二，“光表面実装技術の進展”，信学論(C)，vol.J84-C，no.9，pp.715-726，Sep. 2001
- [2] 長堀剛，畠山意知郎，三好一徳，“並列光インタコネクションにおける伝送方式と所要デバイス性能に関する一検討”，信学技報，LQE97-146，pp.13-18，1998
- [3] 茨木修，熊井晃一，岡部豊，市村顕，三川孝，“キャビネット内光電気複合実装技術の検討”，信学論(C)，vol.J84-C，no.9，pp.727-735，Sep. 2001
- [4] A.A.Ciubotaru,J.S.Garcia，“An Integrated Direct-Coupled 10-Gb/s Driver for Common-Cathode VCSELs，” IEEE J.Solid-State Circuits，vol.39，no.3，pp. 426- 433，Mar. 2004
- [5] S.Rabii, N.Acharya, P.Chau, J.Dao, A.Feldman, H.Liaw, D.Liu, M.Loinaz, M.Luschas, A.Salleh, S.Sheth, S.Sidiropoulos, D.Stark, S.Verma, “An Integrated VCSEL Driver for 10Gb Ethernet in 0.13 $\mu$ m CMOS,” ISSCC 2006/Optical Communication/13.8
- [6] C.Kromer, G.Sialm, C.Berger, T.Morf, M.L.Schmatz, F.Ellinger, D.Erni, G.-L.Bona, and H.Jäckel, “A 100-mW 4 $\times$ 10Gb/s Transceiver in 80-nm CMOS for High-density Optical Interconnects,” IEEE J.Solid-State Circuits, vol.40, no.12, pp.2667-2679, Dec. 2005
- [7] S.Palermo, A.E.Neyestanak, M.Horowitz, “A 90nm CMOS 16Gb/s Transceiver for Optical Interconnects,” pp.44-45, ISSCC 2007/ Optical Communication/2.2
- [8] 李言勝，関健治，厚地保幸，大畠賢一，山下喜市，“10Gbps 光配線用開ループ型 VCSEL 駆動回路,” 2007 信学会，C-12-32, Mar. 2007
- [9] 李言勝，山下喜市，大畠賢一，“変調電流・バイアス電流同時制御方式を適用した Gb/s 帯光配線用 VCSEL 駆動回路 LSI,” 信学論(C)，採録決定済み，2008
- [10] 伊賀賢一，小山二三夫，“面発光レーザの変調特性と光伝送,” 面発光レーザの基礎と応用，pp.180-188，共立，東京，2003
- [11] 栖原敏明，“半導体レーザの特性，”半導体レーザの基礎，pp.139-198，共立，

東京 , 2005

- [12] Application note, “Avalon photonics datacom VCSELs,” Avalon Potonics, 2002
- [13] D.Vez, S.Eitel, S.H.Hunziker, G.Knight, M.Moser, R.Hoevel, H.-P.Gauggel, M.Branner, A. Hold, and K.H.Gulden, “10 Gbits/s VCSELs for Datacom:Devices and Applications,” Proc.SPIE, vol.4942, pp.29-43, 2002.
- [14] B.Razavi, 黒田忠弘(監訳) ,“バンドギャップレファレンス ,” アナログ CMOS 集積回路の設計応用編 , pp.466-475,丸善 , 東京 , 2003
- [15] H.Banda, H.Shiga, A.Umezawa, T.Miyaba, T.Tanzawa, S.Atsumi and K.Sakui, “A CMOS Bandgap Reference Circuit with Sub-1-V Operation,” IEEE J.Solid-State Circuits, vol.34, no.5, pp.670-674, May.1999
- [16] 山田博仁 ,“半導体レーザの SPICE モデル” ,信学誌 ,vol.85, no.6, pp.434-437, 2002
- [17] G.Sialm, D.Erni, C.Kromer, G.-L.Bona, H.Jäckel, “Tradeoffs of vertical-cavity surface emitting lasers modeling for the development of driver circuits in short distance optical links,”Optical Engineering,vol.44(10),105401,2005.10
- [18] R.Tao, M.Berroth, and Z.G.Wang, “Low power 10Gbit/s VCSEL Driver for Optical Interconnect,” Electron.Lett.vol.39,no.24,Nov.2003.
- [19] S.Galal, B.Razavi, “10-Gb/s Limiting Amplifier and Laser/Modulator Driver in 0.18- $\mu$ mCMOS Technology,” IEEE J.Solid-State Circuits, vol.38, no.12,pp.2138-2146, Dec.2003
- [20] V.M.Hietala, C.Chun, J.Laskar, K.D.Choquette, K.M.Geib, A.A.Allerman, J.J.Hindi, “ Two-Dimensional 8 $\times$ 8 Photoreceiver Array and VCSEL Driver for High-Throughput Optical Data Links,” IEEE J.Solid-State Circuits, vol.36, no.9, pp. 1297-1302, Sep.2001
- [21] B.Madhavan, A.F.J.Levi,“ Low-power 2.5Gbps VCSEL Driver in 0.5 $\mu$ m CMOS Technology,” Electronics Letters 34, 178-179,1998
- [22] G.C.Chen, W.Z.Chen, R.H.Luo,“ A 2.5 Gbps CMOS Laser Diode Driver with

- Preamphasis Technique,” pp.65-68, IEEE Asia-Pacific Conference, 2002
- [23] T.Li, B.Mitra, K.Udeshi, “ A Low Voltage Bandgap Reference Circuit with Current Feedback,” pp.1-5, EECS 413 Project
- [24] D.Kucharski, Y.Kwark, D.Kuchta, D.Guckenberger, K.Kornegay, M.Tan, C.K.Lin, A.Tandon, “ A 20Gb/s VCSEL Driver with Pre-Emphasis and Regulated Output Impedance in 0.13 $\mu$ m CMOS,”ISSCC 2005/ Optical Communication/12.2
- [25] 高井厚志 , 花谷昌一 , 深代康之 , “光インタコネクットの現状 , ” 信学技報 , LQE96-150,pp.43-48,1997
- [26] D.M.Cutrer, K.Y.Lau, “Ultralow Power Optical Interconnect with Zero-Biased, Ultralow Threshold Laser-How low a Threshold Is Low Enough?,” IEEE, Photonics Technology Letters, Vol.7, No.1, Jan.1995
- [27] 岩井則広 , 有賀麻衣子 , 池永賀彦 , 鈴木広明 , 西片一昭 , 横内則之 , 粕川秋彦 , “4.25 Gbps 850nm VCSEL TOSA の開発 , ” pp.76-81, No.115, 古河電工時報
- [28] S.Hunziker, U.Lott, A.Hold, S.Eitel, D.Vez, K.Gulden, “VCSEL Based Optical Front Ends for Low Cost 10Gb/s Transceiver,” Proc. SPIE, vol. 4994, pp. 181 -188, 2003