

修士論文

SiC トランジスタのスイッチング特性と  
ドレイン-ゲート間相互作用について

平成 27 年 1 月

指導教員：田中 哲郎 准教授

鹿児島大学大学院理工学研究科

電気電子工学専攻

井 幸孝

## 概要

本研究は、SiC を用いた埋め込みゲート型静電誘導トランジスタ(SiC-BGSIT)のスイッチング特性を明らかにすることに加え、ドレイン-ゲート間相互作用を表現できる SPICE 素子モデルの構築を目的とする。SiC-BGSIT は Si-MOSFET と比べて、より低損失、高耐圧、高温動作であるものの、新しい素子であることに加え、逆のオン・オフ特性(ノーマリオン特性)を持つため、応用面から詳しく調べられていない。研究では、この相互作用について実験的に調べ、SPICE3 の JFET モデルを利用して、SiC-BGSIT の素子モデル構築を試みた。結果として、ドレイン-ゲート間相互作用を定量的に説明できる素子モデルを得た。

# 目 次

|            |                                       |    |
|------------|---------------------------------------|----|
| <b>第1章</b> | <b>序論</b> .....                       | 2  |
| <b>第2章</b> | <b>SiC トランジスタ</b> .....               | 4  |
|            | 2.1 SiC 半導体の性質 .....                  | 4  |
|            | 2.2 BGSIT .....                       | 6  |
|            | 2.3 BJT.....                          | 7  |
| <b>第3章</b> | <b>SiC トランジスタのスイッチング特性</b> .....      | 8  |
|            | 3.1 スwitchング特性 .....                  | 8  |
|            | 3.2 駆動回路.....                         | 9  |
|            | 3.3 実験結果.....                         | 11 |
|            | 3.3.1 ターンオン時間 .....                   | 11 |
|            | 3.3.2 ターンオフ時間 .....                   | 13 |
|            | 3.4 駆動エネルギー・電力 .....                  | 16 |
| <b>第4章</b> | <b>SiC-BGSIT のドレイン-ゲート間相互作用</b> ..... | 18 |
|            | 4.1 ドレイン-ゲート間相互作用 .....               | 18 |
|            | 4.2 実験回路.....                         | 19 |
| <b>第5章</b> | <b>解析モデル</b> .....                    | 20 |
|            | 5.1 電圧制御電流源モデル .....                  | 20 |
|            | 5.2 JFET モデル .....                    | 26 |
|            | 5.3 実験との比較.....                       | 27 |
| <b>第6章</b> | <b>共振駆動回路</b> .....                   | 33 |
|            | 6.1 設計 .....                          | 33 |
|            | 6.2 実験との比較.....                       | 36 |
| <b>第7章</b> | <b>結論</b> .....                       | 38 |
|            | 謝辞.....                               | 39 |
|            | 参考文献.....                             | 40 |

## 第1章 序論

電力変換器である DC-DC コンバータは小型、軽量、高効率という特長を持ち、電子機器の電源として広く利用されている。近年、電気化する自動車（HEV, EV）や分散給電の普及により、従来は利用されていなかった高温環境や高電圧領域でも DC-DC コンバータの利用が求められるようになった。これに応えるため、DC-DC コンバータで用いられるパワー半導体についても、より高耐圧、大電流、低損失のものが要求されている。

現在、主流の Si パワー半導体素子の性能は、物性に由来する理論的な限界を迎えつつあり、Si 半導体を用いる限りパワー半導体素子の飛躍的な性能の向上は見込めない状況にある[1]。そこで、Si に替わるパワー半導体材料として SiC, GaN などのワイドバンドギャップ半導体が注目されている。これらは、禁制帯幅、絶縁破壊電界といった物性値が Si に比べ数倍大きく、導通状態でのオン抵抗が理論的には Si 半導体の約 1/200 になると考えられている[1]。

本研究で扱う SiC 半導体は、オン抵抗、耐圧、熱伝導度などの点で Si 半導体より優れており、電源の低損失化・高効率化への寄与が期待されている。使用する SiC パワー半導体素子は SiC-BGSIT と SiC-BJT で、それぞれ産業技術総合研究所提供のノーマリオン SiC-BGSIT とノーマリオフ SiC-BJT(GA03JT12-247, GeneSiC 製)である。これらは高耐圧でありながらオン抵抗が小さいという特長を持っている。しかし、SiC-BGSIT は、通常オンとなるノーマリオン特性であるため使いづらく、電力変換器での使用実績はほとんどない。一方、SiC-BJT は通常オフとなるノーマリオフ特性であり、使いやすいにもかかわらず、SiC-MOSFET ほどは使われていない。

本研究の目的の1つは、上記のような優れた特性をもつ SiC-BGSIT と SiC-BJT のスイッチング特性を、ドレイン電圧 400[V]までの範囲で実験的に比較することである[2][3]。もう1つの研究目的は、SiC-BGSIT のドレイン-ゲート間相互作用を詳細に調べ、その結果を駆動回路の設計へ応用することである。SiC トランジスタのドレイン-ゲート間相互作用については、トータムポール接続された SiC-JFET に関して報告されている[4]が、SiC-BGSIT については十分に調べられていない。本研究では、実験の容易な並列構成回路を用い、SiC-BGSIT のドレイン-ゲート間相互作用を実験的に調べ、それによって得た実験結果を再現する SPICE 素子モデルの構築を行う。応用として、構築した SPICE 素子モデルを用いて、ドレイン-ゲート間相互作用による誤動作が起こりにくくターンオン時間を短縮する共振

駆動回路の設計を行う。

本論文は、以下の構成をとる。第2章では、本研究で用いる SiC 半導体の物性上の特徴および BGSIT の構造と BJT の構造について簡単に述べる。第3章では、供試 SiC-BGSIT と SiC-BJT のスイッチング特性を測定する回路を用い、ゲート電流とターンオン時間およびターンオフ時間の関係を実験的に調べ、適切な駆動条件のための基礎データとする。また、両者の駆動に必要なエネルギー・電力についても実験的に比較する。第4章では、SiC-BGSIT のドレイン-ゲート間相互作用について、実験の容易な並列構成の測定回路や実験概要について説明する。第5章では、供試 SiC-BGSIT の SPICE 素子モデルを複数構築し、実験結果と比較して適切な素子モデルを選択する。第6章では、構築した SPICE 素子モデルを試用し、共振駆動回路を設計・製作し、実験との比較を行う。第7章では、本論文のまとめを行う。結果として、ドレイン-ゲート間相互作用を再現できる SiC-BGSIT の SPICE モデルを得た。また、構築した SPICE モデルの応用として、ドレイン-ゲート間相互作用による誤動作が起こりにくい共振駆動回路の設計支援に使用し、良好な特性を持つ駆動回路を設計した。

## 第2章 SiC トランジスタ

本章では、ワイドバンドギャップ半導体パワーデバイス SiC-BGSIT (Buried Gate Static Induction Transistor、埋め込みゲート型静電誘導トランジスタ) と SiC-BJT (Bipolar Junction Transistor、バイポーラ接合型トランジスタ) について説明する。現在、主流の半導体材料である Si を用いたパワーデバイスは、物性に由来する理論的な性能限界を迎えつつあり、大幅な特性改善は困難である。そこで、低オン抵抗、高耐圧、高速スイッチングに加え、高温動作も実現できる SiC、GaN といったワイドバンドギャップ半導体の開発が進められている。中でも SiC 半導体は、SiC 製のショットキーバリアダイオード (SiC-SBD) が鉄道車両に使われ始めており、この動きは SiC トランジスタへ波及することが予想されている[5]。

### 2.1 SiC 半導体の性質 [1]

SiC は、Si やダイヤモンドと同様の正四面体型 4 配位の共有結合結晶により、Si と C が 1:1 の割合で結合した化合物半導体である。

図 2-1 に周期表における半導体を示す。SiC は、格子定数の小さな C を含む化合物半導体であるため、Si や GaAs に比べバンドギャップ (禁制帯幅) が大きくなり、ワイドバンドギャップ半導体と呼ばれる。一般に格子定数が小さい半導体は、原子間の結合エネルギーが大きく、熱伝導度や飽和ドリフト速度、絶縁破壊電界といった点で大きな物性値を持つこととなり、有望な半導体材料と考えられている。

|        | II 族 | III 族 | IV 族 | V 族 | VI 族 |
|--------|------|-------|------|-----|------|
| 第 2 周期 |      | B     | C    | N   | O    |
| 第 3 周期 | Mg   | Al    | Si   | P   | S    |
| 第 4 周期 | Zn   | Ga    | Ge   | As  | Se   |
| 第 5 周期 | Cd   | In    | Sn   | Sb  | Te   |

図 2-1 周期表 (短周期型) における半導体

表 2-1 に、Si と SiC の物性値の比較を示す。SiC は Si と比較して、禁制帯幅が約 3 倍、絶縁破壊電界が約 10 倍、熱伝導度が約 3 倍大きい。禁制帯幅が広いことから、SiC は Si では不可能であった 200℃以上の高温での動作が可能となる。大きな絶縁破壊電界は、同じ耐圧を実現するのに Si より大幅に薄くでき、通常状態でのオン抵抗（単位体積当たり）が理論的には Si 半導体の 1/200 になると予測されている。また Si に比べ良好な熱伝導度は、冷却機構の小型化を可能にし、スイッチング電源の小型・軽量化にも貢献する。

以上のように、SiC には半導体としての物性に関して、Si と比較して優位な点が多くあり、SiC は Si に代わる次世代パワー半導体材料として有望である、と考えられている。

表 2-1 Si と SiC の物性値比較

|                | Si   | SiC  |
|----------------|------|------|
| 禁制帯幅[eV]       | 1.12 | 3.26 |
| 熱伝導度[W/(cm k)] | 1.5  | 4.9  |
| 絶縁破壊電界[MV/cm]  | 0.3  | 3.0  |

## 2.2 BGSIT

図 2-2 に n-ch SiC-BGSIT の構造断面図を示す。BGSIT はチャンネルが半導体内部に形成されることから、SiC 結晶中の高い電子移動度をそのまま活かすことができる。また、電流の経路に pn 接合を持っていないため、低オン抵抗、高速スイッチングが可能である。しかし、通常とは逆のノーマリオン特性であり、またオフ状態にするためにゲートに負バイアスを加えることが必要となるため、利用実績に乏しく、技術者からは使いにくいと評価されている。このように、パワーデバイスとしての SiC-BGSIT の課題は、制御性において SiC-MOSFET や SiC-BJT に劣る点である。BGSIT をノーマリオフ型にするのは容易ではないとされていたが、最近、ノーマリオフ特性をもつ SiC-BGSIT の開発が報告されている[6]。

本研究で使用する SiC-BGSIT（産業技術総合研究所）の特性は、耐圧 1200[V]、ドレイン電流 4[A]、オン抵抗 0.16[Ω]で、IGBT 等の置き換えを想定した仕様となっている。

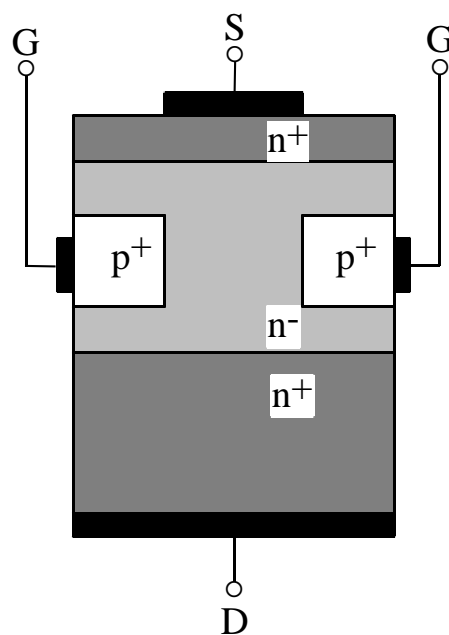


図 2-2 n-ch SiC-BGSIT 構造断面図



## 2.3 BJT

BJT は、SiC においてはコレクタ層を Si より薄くできるため、高耐圧の BJT であっても十分な電流増幅率が達成でき、また、低い抵抗率を持つため、非常に低いオン電圧を持つものが製作できる[7]。しかし、電流制御型であるため、駆動に必要な電力が大きく、駆動回路も大きくなってしまふ点が課題である。実用化には、電流増幅率を高めて、駆動電力の低減と駆動回路を小型化することが求められている。現在では、電流増幅率が 200 を超えるものも開発されており、電力変換機器での応用が期待されている[8]。

図 2-3 に本研究で使用する SiC-BJT(GA03JT12-247, GeneSiC 製)の構造断面図を示す。特性は、耐圧 1200[V], ドレイン電流 3[A]となっている。この素子は、npn 型の BJT 構造によりノーマリオフ特性を持ち、オフ状態にするためにゲートに負バイアスを加える必要がないため、駆動回路の設計が容易である。なお、BJT の各端子の呼称は、通常、ベース(B)、エミッタ(E)、コレクタ(C)、であるが、本論文では、メーカー呼称に従い、それぞれ、ゲート(G)、ソース(S)、ドレイン(D)と呼ぶことにする(図 2-3)。

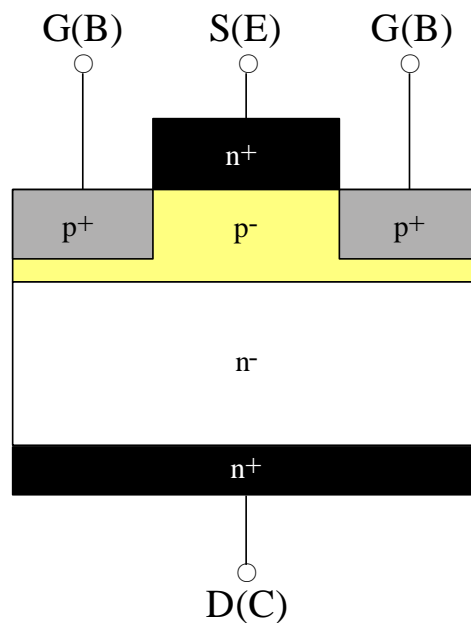


図 2-3 SiC-BJT 構造断面図[9]

### 第3章 SiCトランジスタのスイッチング特性[2][3]

本章では、SiC-BGSIT と SiC-BJT のスイッチング特性の測定方法と実験結果について述べる。

実験では、SiC-BGSIT と SiC-BJT のゲート電流およびドレイン電圧をパラメータとし、ターンオン時間およびターンオフ時間を測定した。このとき、各素子の駆動条件をそろえるため、ゲートに定電流を流せる駆動回路を用いている。また、素子駆動に必要なエネルギー・電力についても測定を行った。

#### 3.1 スwitchング特性

図 3-1 に SiC-BGSIT と SiC-BJT のスイッチング特性測定回路を示す。駆動回路の内部には、素子のゲートに定電流を流す電流源を持ち、制御回路から入力する方形波により MOSFET をスイッチングすることで、ゲート電流  $i_g$  を制御している。負荷には、抵抗負荷  $R_d$  (メタルクラッド抵抗) を使用した。また、 $C_a$ にはアルミ電解コンデンサを、 $C_b$ にはメタライズドポリプロピレンコンデンサを使用した。

図 3-2 に測定時の各部波形の例を示す。測定では、ゲート電流  $i_g$  は一定の値をとっている部分を見ており、ターンオン時間はドレイン-ソース間電圧の 90%→10%の遷移時間を、ターンオフ時間はドレイン電流の 90%→10%の遷移時間を見ている

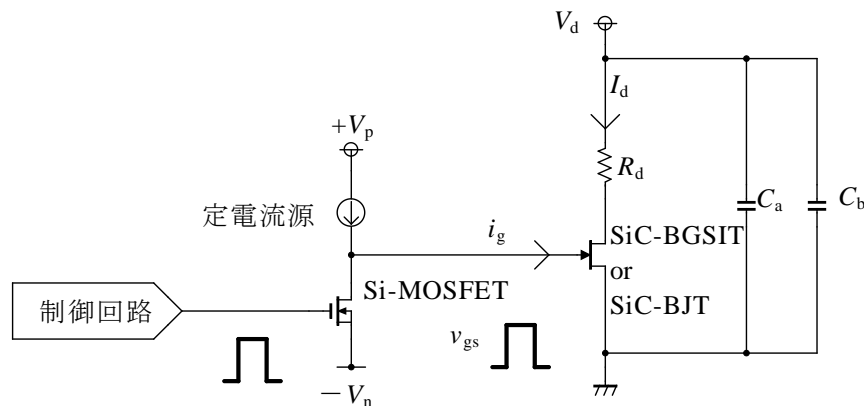
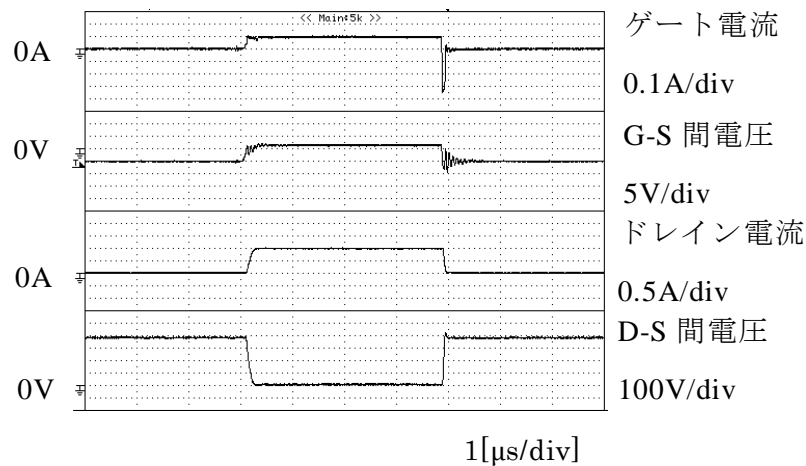
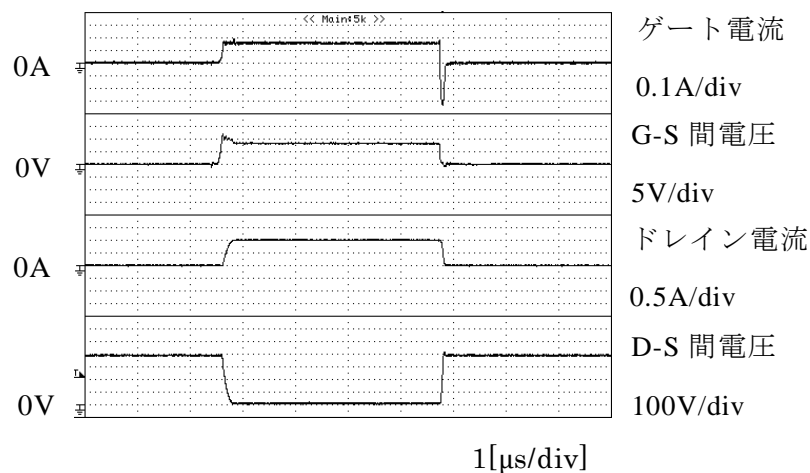


図 3-1 スwitchング特性測定回路

(SiC-BGSIT:  $V_p=5[V]$ ,  $V_n=10[V]$ ; SiC-BJT:  $V_p=7[V]$ ,  $V_n=0[V]$ ;  $C_a=100[\mu F]$ ,  $C_b=1[\mu F]$ )



(a)SiC-BGSIT(ゲート電流 93[mA], ターンオン時間 112[ns], ターンオフ時間 48[ns])



(b)SiC-BJT(ゲート電流 77[mA], ターンオン時間 136[ns], ターンオフ時間 40[ns])

図 3-2 各部波形( $V_d=390[V]$ ,  $I_d=1[A]$ )

## 3.2 駆動回路

図 3-3 に図 3-1 のスイッチング特性測定回路への入力方形波を発生する制御回路を示す。本研究では、電源電圧  $V_d$  が高い領域では、SiC-BGSIT と SiC-BJT のオン時比率を非常に小さく設定することで抵抗負荷の発熱を抑制している。図 3-3 の回路では、MB3769A の機能を利用し、時比率を可変抵抗  $R_2$  によって連続的に調整可能である。製作した回路では、オン時比率の調整可能範囲は 0~0.85 である。スイッチング周波数は  $f_s=50[\text{kHz}]$  としている。

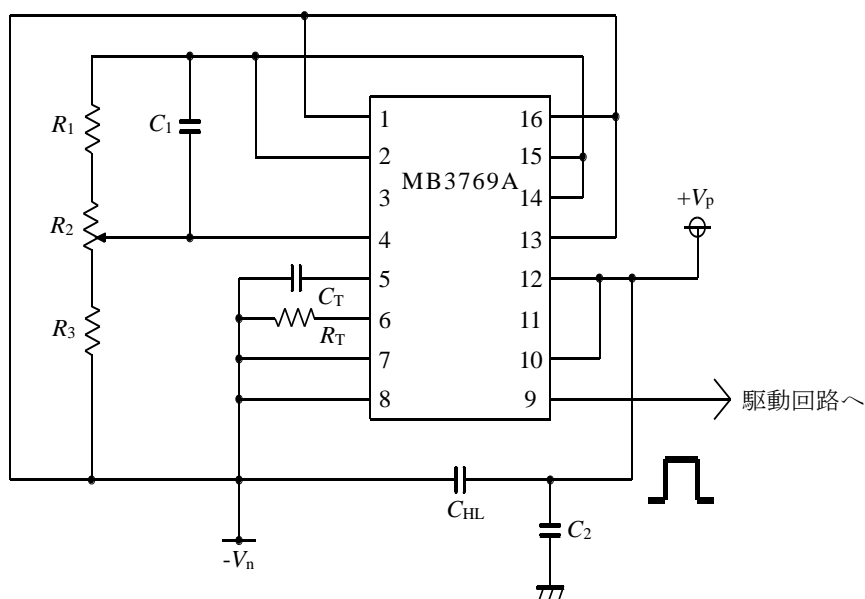


図 3-3 制御回路

$(R_1=R_3=3.6[\text{k}\Omega], R_2=5.0[\text{k}\Omega], C_1=10[\text{nF}], C_T=680[\text{pF}], R_T=39[\text{k}\Omega], C_{HL}=0.1[\mu\text{F}];$

SiC-BGSIT:  $V_p=5[\text{V}], V_n=10[\text{V}], C_2=0.1[\mu\text{F}];$

SiC-BJT:  $V_p=7[\text{V}], V_n=0[\text{V}], C_2=0[\text{F}]$ )

図 3-4 に駆動回路の詳細を示す。正負 2 電源の値は SiC-BGSIT の特性を考慮し、正電源  $V_p=5[\text{V}]$ 、負電源  $V_n=10[\text{V}]$ と選んでいる。SiC-BJT はノーマリオフ特性より、正電源  $V_p=7[\text{V}]$ だけで動作させている。

この駆動回路は次のように動作する。Tr<sub>1</sub> と Tr<sub>2</sub> はカレントミラー回路で、Tr<sub>2</sub> のコレクタ電流は定電流特性を持つ。このコレクタ電流は、Tr<sub>3</sub> をオン・オフすることでゲーティングされた後、SiC トランジスタのゲート電流として供給される。ゲート電流の大きさは、Tr<sub>1</sub> のコレクタ抵抗  $R_a$  を調整することにより設定する。

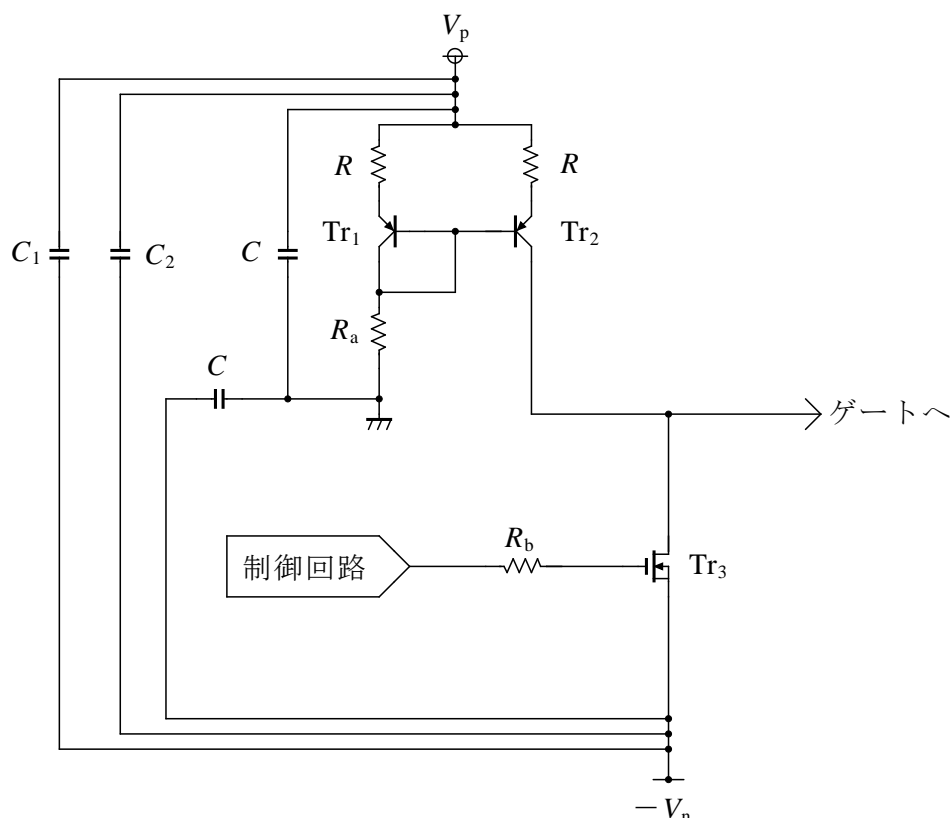


図 3-4 駆動回路

( $Tr_1$  および  $Tr_2$ :2SA1425,  $Tr_3$ :2SK2231,  $C=0.1[\mu\text{F}]$ ,  $C_1=4.7[\mu\text{F}]$ ,  $C_2=0.1[\mu\text{F}]$ ,

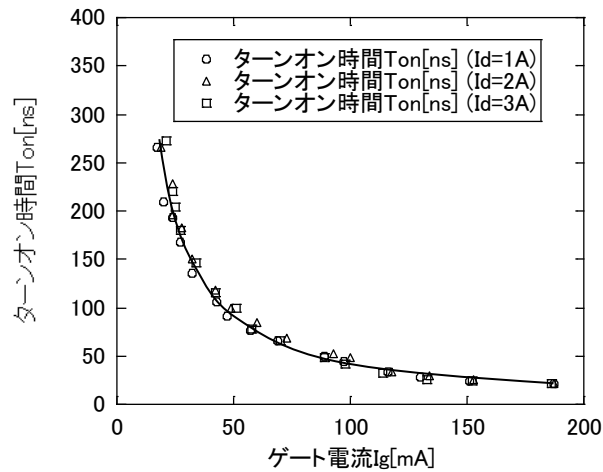
$R=5.6[\Omega]$ ,  $R_a=20\sim 270[\Omega]$   $R_b=5.6[\Omega]$ ;

SiC-BGSIT:  $V_p=5[\text{V}]$ ,  $V_n=10[\text{V}]$ ; SiC-BJT:  $V_p=7[\text{V}]$ ,  $V_n=0[\text{V}]$ )

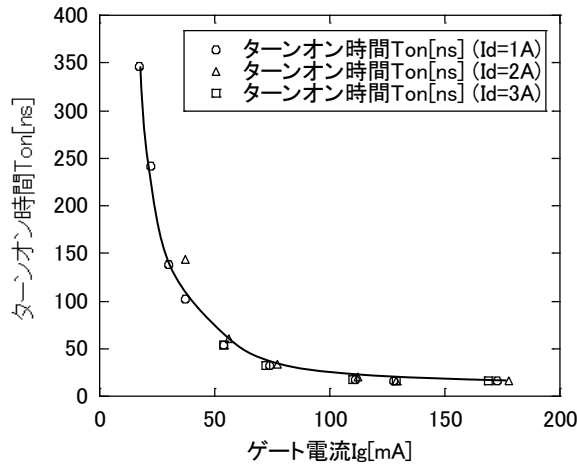
### 3.3 実験結果

#### 3.3.1 ターンオン時間

図 3-5 に、ドレイン電圧を一定( $V_d=47[\text{V}]$ )とし、ドレイン電流をパラメータにとったときのターンオン時間に対するゲート電流の影響を示す。図 3-5 から、ドレイン電流によって、ターンオン時間は影響を受けないことが分かる。SiC-BGSIT と SiC-BJT の結果を比較すると、ゲート電流を大きくすれば、ターンオン時間はほとんど変わらないことが分かる。これより、適切な駆動条件の下では、両者ともに同等の最小ターンオン時間を示すことが分かった。



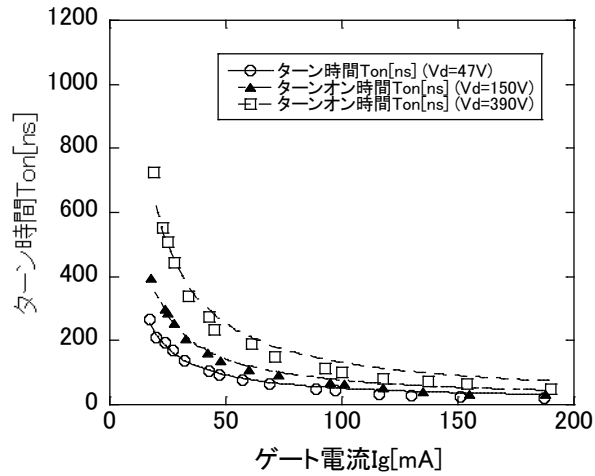
(a)SiC-BGSIT



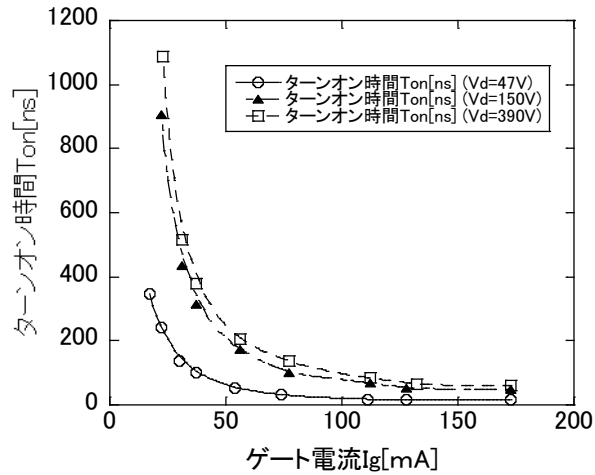
(b)SiC-BJT

図 3-5 ターンオン時間に対するゲート電流の影響( $V_d=47[V]$ )

図 3-6 は、ドレイン電流を一定( $I_d=1[A]$ )とし、ドレイン電圧をパラメータにとったときのターンオン時間に対するゲート電流の影響を示す。図 3-6 から、ターンオン時間はドレイン電圧に依存し、SiC トランジスタ・オフ時のドレイン-ソース間電圧が高くなるほど、ターンオン時間は長くなることが確認できる。SiC-BGSIT と SiC-BJT の結果を比較すると、ゲート電流が大きいところでは、ターンオン時間はほとんど変わらないことが分かる。これより、これらの SiC トランジスタのターンオン時の駆動条件としては、ゲート電流を 150[mA]~200[mA]程度流せばよいことになる。



(a)SiC-BGSIT

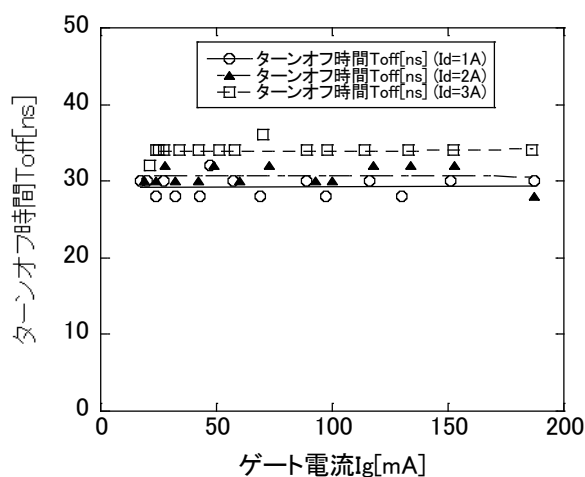


(b)SiC-BJT

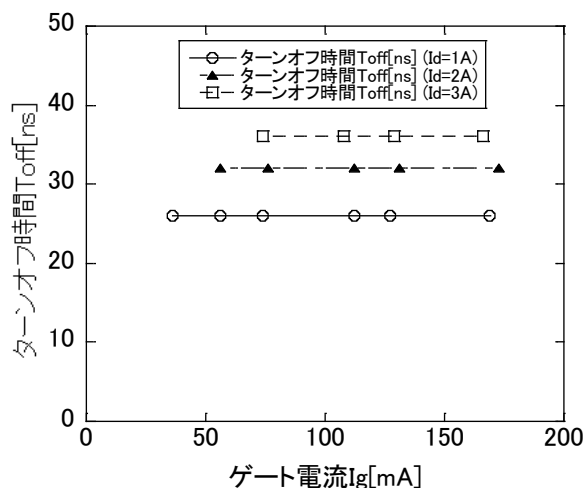
図 3-6 ターンオン時間に対するゲート電流の影響( $I_d=1[A]$ )

### 3.3.2 ターンオフ時間

図 3-7 に、ドレイン電圧を一定( $V_d=47[V]$ )とし、ドレイン電流をパラメータにとったときのターンオフ時間に対するゲート電流の影響を示す。図 3-7(b)において、プロットの左端は SiC-BJT の各ドレイン電流に対するゲート電流の最小値を示す。図 3-7 から、SiC-BGSIT と SiC-BJT を比較すると、両者ともに同等のターンオフ時間を有していることが分かる。しかし、SiC-BJT はドレイン電流によって、必要なゲート電流の最小値が変化する。これは、SiC-BJT が電流制御素子で、流すゲート電流の値によってドレイン電流の最大値が決まるからである。



(a)SiC-BGSIT



(b)SiC-BJT

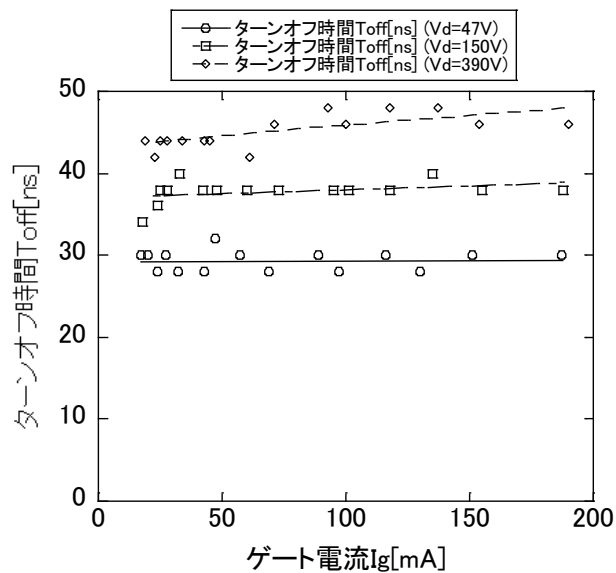
図 3-7 ターンオフ時間に対するゲート電流の影響( $V_d=47[V]$ )

図 3-8 は、ドレイン電流を一定( $I_d=1[A]$ )とし、ドレイン電圧をパラメータにとったときのターンオフ時間に対するゲート電流の影響を示す。図 3-8 から、SiC トランジスタはオフ時のドレイン-ソース間電圧が高くなるほど、ターンオフ時間が長くなることが確認できる。しかし、ゲート電流によるターンオフ時間のへの影響は、図 3-8 と同様にほとんど見られなかった。

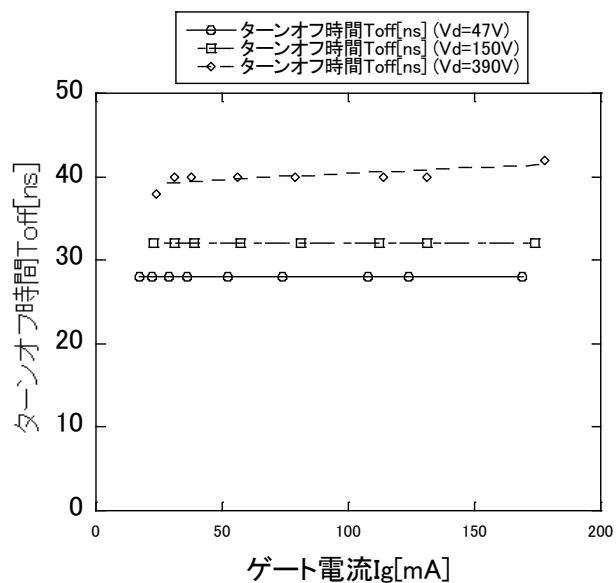
以上をまとめると、実験で測定した SiC-BGSIT と SiC-BJT は、両者ともに同等のターンオフ時間を示し、特に SiC-BJT には目立った蓄積効果がないことが分かった。こ



の理由としては、SiCの短いキャリアライフタイムが関係していると考えられる。



(a)SiC-BGSIT



(b)SiC-BJT

図 3-8 ターンオフ時間に対するゲート電流の影響 ( $I_d=1[A]$ )

### 3.4 駆動エネルギー・電力

素子駆動に必要なエネルギー・電力についても実験を行い、比較を行った。実験ではターンオン、オン、ターンオフ、オフの4つの期間に分けて測定を行った。オフに関してはデバイスの特性上、ゲート電流がほとんど流れないので、無視している。

状態遷移エネルギーはターンオン・ターンオフ期間において駆動回路が素子に供給するエネルギー、オン時駆動電力は図3-2のゲート電流が一定になっている時のゲート電流とゲート-ソース間電圧をかけた値である。状態遷移エネルギーはエネルギー[J]で評価し、オン時駆動電力は電力[W]で評価している。このような評価にした理由は、実際のオン期間は条件により変化するため、エネルギーによる評価になじまないためである。

図3-9にドレイン電圧一定( $V_d=390[V]$ )、ドレイン電流一定( $I_d=1[A]$ )とし、ゲート電流をパラメータにとった時の状態遷移エネルギーを示す。まず、ターンオンに関して、SiC-BGSITはエネルギーが負の値となっている。これは、ゲート-ソース間電圧が負のときにターンオンするためのゲート電流が流れるからである。次にターンオフに関して、SiC-BGSITはSiC-BJTよりかなり大きな値となっている。これはターンオフ時には、ドレイン側からゲート側へドレイン-ゲート間容量を充電する電流が流れ、ドレイン-ゲート間容量が大きいほど、この電流の値が大きくなるためである。SiC-BGSITとSiC-BJTのドレイン-ゲート間容量はそれぞれ100[pF]と20[pF]であり、計算上、これによるターンオフ時の状態遷移エネルギーは、SiC-BGSITの方が約5倍大きくなる。

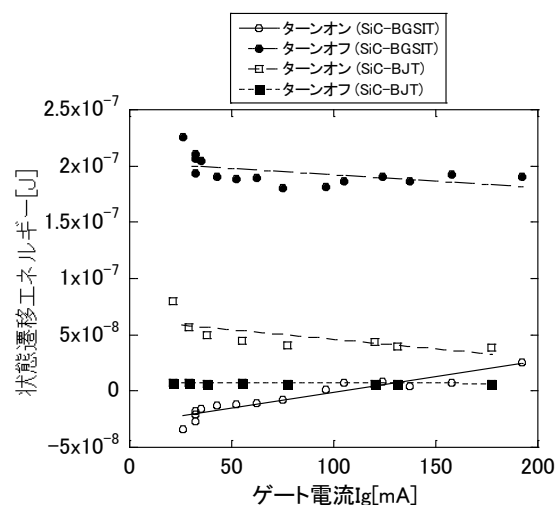
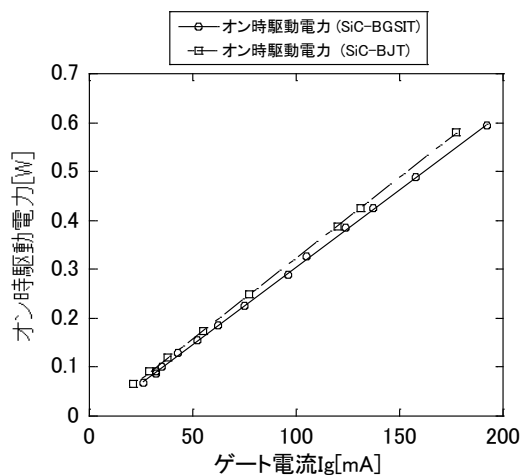


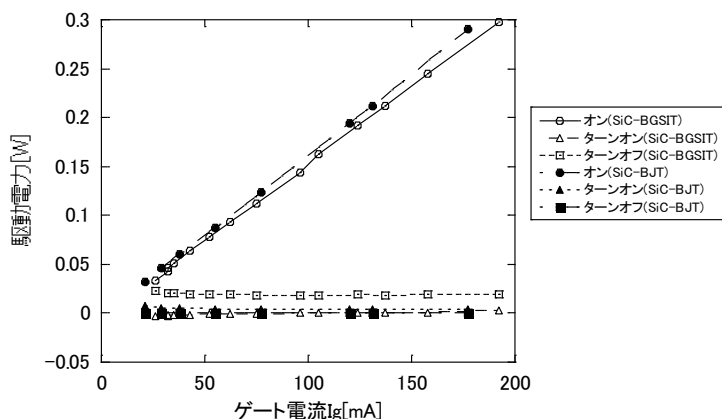
図3-9 素子駆動に必要なエネルギー( $V_d=390[V]$ )

図 3-10(a)にドレイン電圧一定( $V_d=390[V]$ )、ドレイン電流一定( $I_d=1[A]$ )とし、ゲート電流をパラメータにとった時のオン時駆動電力を示す。素子の構造は異なるが、ゲート-ソース間 pn 接合の順方向電圧降下(2.5~3.0V)により、SiC-BGSIT と SiC-BJT のオン時駆動電力はほとんど変わらないことが分かる。

例として、スイッチング周波数 100[kHz]、時比率 0.5 のときの、駆動電力を図 3-10(b)に示す。図 3-10(b)において、オンは図 3-10(a)のオン時駆動電力に時比率 0.5 をかけた値、ターンオンとターンオフは図 3-9 の状態遷移エネルギーの値にスイッチング周波数 100[kHz]をかけた値となっている。この図から、今の条件下ではオンの電力が支配的であることが分かる。なお、SiC-BGSIT はノーマリオン特性であり、ターンオン後のゲート電流を小さくできるので、オン時駆動電力を小さくできる可能性がある。



(a) オン時駆動電力



(b) スイッチング周波数 100[kHz]、時比率 0.5

図 3-10 素子駆動に必要な電力( $V_d=390[V]$ )

## 第 4 章 SiC-BGSIT のドレイン-ゲート間相互作用

この章では、SiC-BGSIT のドレイン-ゲート間相互作用について説明する。ドレイン-ゲート間相互作用は、実用上はトータムポール接続された FET で問題となるが、本研究では実験の容易さから、2 個の SiC-BGSIT を並列接続した構成で実験を行う。

### 4.1 ドレイン-ゲート間相互作用

電力変換器では、フルブリッジ回路のスイッチペアやインバータのレッグなど、2 個のスイッチ素子をトータムポール(同じタイプの素子を縦に積み上げるように)接続して利用することが広く行われている。電圧源と接続されたトータムポール回路において、回路中の 2 つのスイッチ素子が両方ともオフ状態から一方のスイッチ素子をターンオンすると、もう一方のスイッチ素子ではオフ状態のままゲート電位に対するドレイン電位が上昇する。このとき、ドレイン電位の上昇がドレイン-ゲート間に存在する容量( $C_{dg}$ )を通じてゲートに伝わり、ゲート電位を変動させる。以上のようにドレイン電位変動がゲート電位変動に伝わることを、ドレイン-ゲート間相互作用と呼ぶ。

ドレイン-ゲート間相互作用は常に存在するが、これによるゲート電位変動がしきい値をまたぐほど大きくなると、スイッチ素子が誤動作を起こし、素子が本来のオフ状態から能動状態およびオン状態に入ることになる。誤動作が発生すると、電圧源をトータムポール回路で短絡することになり、スイッチ素子には貫通電流が流れる。この貫通電流は、電力変換器の効率低下を引き起こすだけでなく、スイッチ素子の破壊につながることもあるため、その原因となるドレイン-ゲート間相互作用による誤動作は、電力変換器にとって大きな問題である。

Si-MOSFET については、構造上、ゲート-ソース間容量が大きくゲート電位変動が抑えられる。このため、ドレイン-ゲート間相互作用の影響は、しきい値電圧の小さな低耐圧 MOSFET の場合を除き、問題とならない。一方、JFET/BGSIT では、オフ状態のゲート-ソース間は逆バイアスされた pn 接合で MOS 構造より容量が小さく、また、SiC ではドレイン-ソース間が薄くできるためドレイン-ゲート間容量が大きくなる傾向にある。このため、SiC-JFET/BGSIT では Si-MOSFET と比較して、ドレイン-ゲート間相互作用による誤動作が起きやすい。実際に SiC-JFET のドレイン-ゲート間相互作用に

よる誤動作が調べられ報告されている[4]。

## 4.2 実験回路

図 4-1 にドレイン-ゲート間相互作用の測定回路を示す。実験の容易さから回路はスイッチ  $S_1$ ,  $S_2$ (DUT)の並列構成としている。スイッチ  $S_1$ は駆動回路により一定周期でスイッチングされ、もう一方のスイッチ  $S_2$ (DUT)のドレイン電位をつり上げる役目を持つ。スイッチ  $S_2$ (DUT)は、ドレイン-ゲート間相互作用の測定対象で、その駆動条件は常にオフ状態としている。並列構成をとる利点は、トータムポール接続と異なり、2つのスイッチのソースが共通となり駆動しやすいこと、誤動作により同時オンしてもドレイン抵抗によりドレイン電流が制限されることの2点である。実験では、 $I_d=1$ [A]となるように電源電圧  $V_d$ とドレイン抵抗  $R_d$ の値を設定している。ドレイン抵抗  $R_d$ にはメタルクラッド抵抗を使用している。

この回路を用いて、ドレイン電圧  $V_d$ および  $S_2$ (DUT)のゲート抵抗  $R_{g2}$ をパラメータとして、ドレイン-ゲート間相互作用を調べる実験を行った。この結果については、次章の解析モデル構築と合わせて述べる。

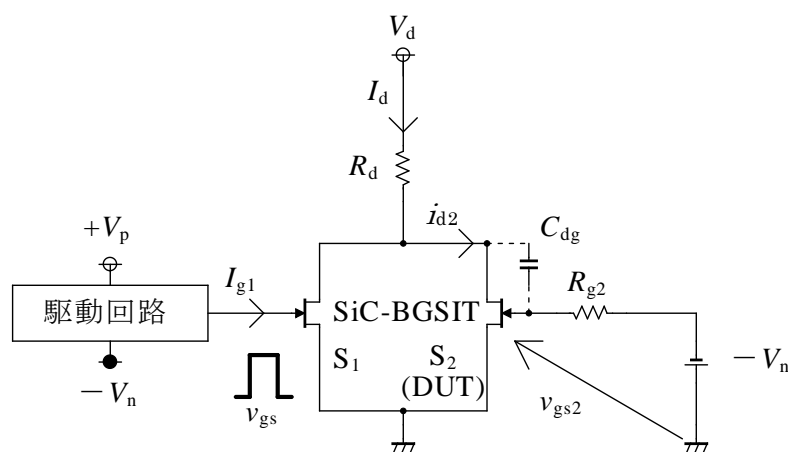


図 4-1 ドレイン-ゲート間相互作用の測定回路  
( $V_p=5$ [V]、 $V_n=10$ [V]、 $V_d=15\sim 390$ [V]、 $I_{g1}=110$ [mA])

## 第5章 解析モデル

この章では、供試 SiC-BGSIT のドレイン-ゲート間相互作用を定量的に表現できる解析モデルの構築を行う。

以前の研究において、ドレイン-ゲート間の寄生容量を考慮した簡単な線形モデルを用いて解析を行ったが、この線形モデルは実験結果と一致せず、ドレイン-ゲート間相互作用をうまく表現できなかった[2]。そこで本研究では、非線形モデルが構築可能な回路シミュレータ上で、ドレイン-ゲート間相互作用の定量的な解析を行う。非線形モデルとしては電圧制御電流源モデルと JFET モデルを構築し、ドレイン-ゲート間相互作用の再現度を比較する。

### 5.1 電圧制御電流源モデル

ドレイン-ゲート間相互作用を表現するための回路シミュレータとして、事実上の標準となっている SPICE を使用する。使用するプログラムは SPICE3 ベースの LT SPICE(ver.IV)である。SPICE では非線形素子が扱え、例えば半導体素子の寄生容量を非線形容量としてモデル化可能である。

SiC-BGSIT の素子モデル構築にあたり、SPICE にはモデル化に必要な SIT の素子モデルがないため、近い特性を持つ接合型電界効果トランジスタ(JFET)のドレイン電流の式[10]を用いることにした。用いたドレイン電流の式は、次の通りである。

(i) cutoff mode.  $V_{to} \geq v_{gs}$ .

$$i_{ds}=0 \quad (5-1a)$$

(ii) linear mode.  $V_{to} < v_{gs}$  and  $V_{ds} \leq (v_{gs} - V_{to})$ .

$$i_{ds} = \beta(1 + \lambda V_{ds})V_{ds} \{ Bv_g + A[V_{ds}^2 + 3v_g - V_{ds}] \} \quad (5-1b)$$

(iii) saturation mode.  $V_{to} < v_{gs}$  and  $V_{ds} > (v_{gs} - V_{to})$ .

$$i_{ds} = \beta(1 + \lambda V_{ds})v_g^2(B + Av_g) \quad (5-1c)$$

$$i_{ds} = u(v_{gs} - V_{to})(v_{gs} - V_{to} - V_{ds}) \times (5-2b) + u(v_{gs} - V_{to})(V_{ds} - v_{gs} + V_{to}) \times (5-2c) \quad (5-1d)$$

ここで、

$$v_g = v_{gs} - V_{to}, A = (1 - B)/(P_b - V_{to}), 0.0 \leq B \leq 1.2$$

このドレイン電流の式は、SPICE3の組み込み JFET モデルでも採用されているものである[11]。各パラメータの説明については、後述の表 5-2 を参照されたい。

図 5-1 に SiC-BGSIT の素子モデルを示す。図 5-1 において、ドレイン-ゲート間容量  $C_{dg}$  とゲート-ソース間容量  $C_{gs}$  は寄生容量であるが、本研究ではドレイン-ゲート間相互作用に主眼があるため、 $C_{dg}$  のみ非線形容量とし、 $C_{gs}$  は線形容量である。抵抗  $R_{on}$  は SiC-BGSIT のオン抵抗で、式(5-1)に基づくゲート電圧により制御される電圧制御電流源  $i_{ds}$  に直列に接続している。ゲート-ソース間のダイオード  $D_{gs}$  は、SiC の pn 接合（パラメータ調整により順方向電圧降下 3[V]）を表し、 $C_{gs}$  と並列に接続されている。

非線形容量  $C_{dg}$  は、よく知られた階段 pn 接合（逆バイアス時）の理論に基づき、その電荷  $Q_g$  が次式で表されるものとして、SPICE モデルを作成した。

$$Q_g = a(V_{ds} - V_n - VJ)^{1/2} \quad (5-2)$$

ここで、 $V_{ds} - V_n$  は逆バイアス電圧、 $VJ$  は SiC の接合電位、 $a$  はパラメータである。パラメータ  $a$  の決定は、図 5-2 に示すように、実験結果に対する式(5-2)のカーブフィッティングにより行った。その結果を表 5-1(a)に示す。

ダイオード  $D_{gs}$  については、SiC-BGSIT のデバイス特性を考慮し、表 5-1(b)に示す値を採用した。

電圧制御電流源  $i_{ds}$  の特性を表わす式(5-1a)、式(5-1b)、式(5-1c)は文献[10]を参考にしているが、文献中の linear mode の式[10]-(4b)と saturation mode の式[10]-(4c)をそのまま使うと、mode の境界で値が一致しない。そこで saturation mode の式[10]-(4c)に合わせる形で、式[10]-(4b)の  $(2v_g - v_{gs})$  の部分を  $v_g$  で置き換えた。SPICE モデルの電流源に式を与える際、単位ステップ関数  $u$  (引数が 0 以上のとき値が 1 となり、0 未満の時は 0 となる)を用いることで、linear mode と saturation mode の境界で式が変わるようにしている。実際に電流源  $i_{ds}$  に設定した式は式(5-1d)である。表 5-1(c)に電流源  $i_{ds}$  のパラメータを示す。

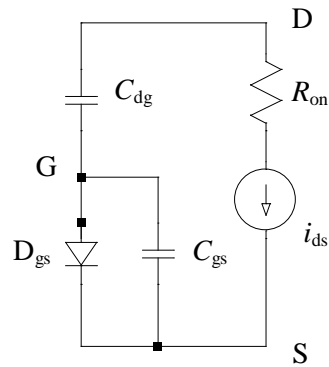


図 5-1 SiC-BGSIT の SPICE モデル(電圧制御電流源モデル)  
 ( $C_{dg}=100[\text{pF}]$ ,  $C_{gs}=100[\text{pF}]$ ,  $R_{on}=0.16[\Omega]$ ,  $D_{gs}: VJ=3[\text{V}]$ )

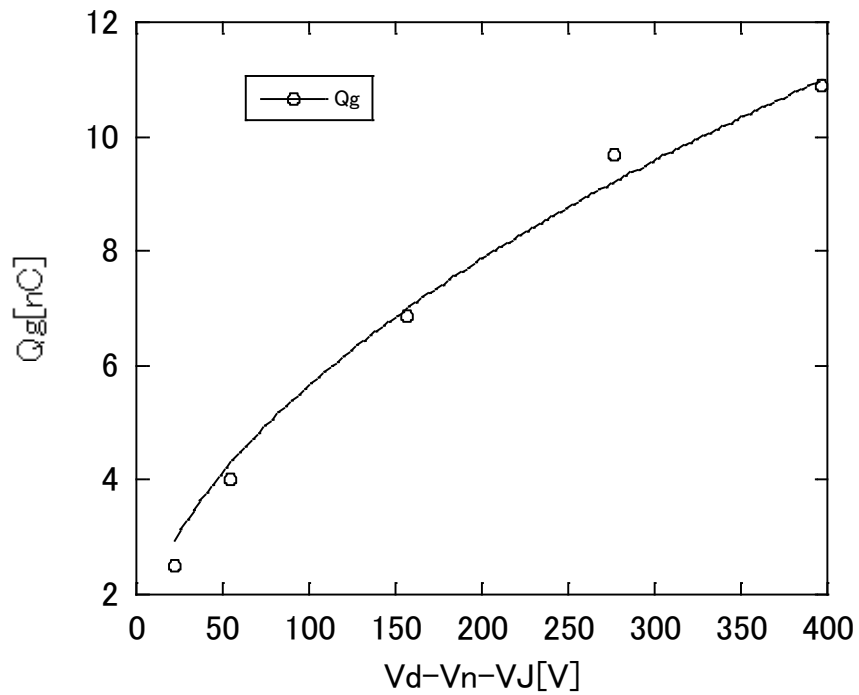


図 5-2 ゲート電荷と電圧特性( $V_n=10[\text{V}]$ ,  $VJ=3[\text{V}]$ )[2]



表 5-1 SiC-BGSIT に対する電圧制御電流源モデルのパラメータ

(a)  $C_{dg}$

|                                    |                       |
|------------------------------------|-----------------------|
| $V_n$ :逆バイアス電圧[V]                  | 10                    |
| $a$ :ゲート電荷の係数[F·V <sup>1/2</sup> ] | $0.55 \times 10^{-9}$ |
| $VJ$ :接合電位[V]                      | 3                     |

(b)  $D_{gs}$

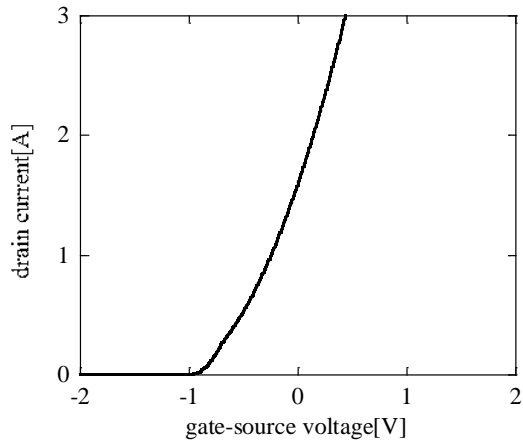
|                      |      |
|----------------------|------|
| $I_s$ [ $\mu$ A]     | 10   |
| $CJO$ :ゼロバイアス接合容量[F] | 0    |
| $BV$ :逆方向降伏電圧[V]     | 50   |
| $EG$ : 禁制帯幅[V]       | 3.26 |
| $VJ$ [V]             | 3    |

(c)電圧制御電流源

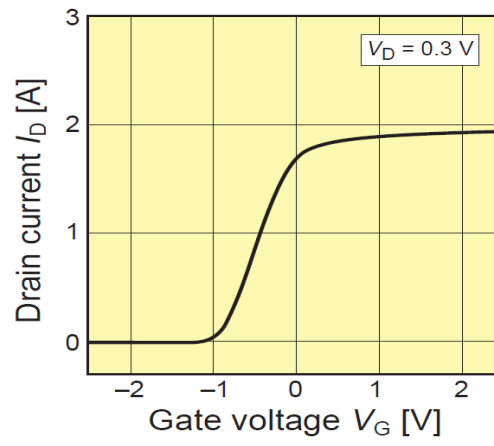
|                         |      |               |     |
|-------------------------|------|---------------|-----|
| $V_{to}$ [V]            | -1   | $C_{gs}$ [pF] | 100 |
| Beta[A/V <sup>2</sup> ] | 5    | $C_{gd}$ [pF] | 100 |
| Lambda[1/V]             | 0.9  | $B$           | 0.4 |
| $R_{on}$ [ $\Omega$ ]   | 0.16 |               |     |

図 5-1 および表 5-1 の SPICE モデルを用いて、ドレイン電流とゲート-ソース間電圧の直流解析を行った結果を図 5-3(a)に、ドレイン電流とドレイン-ソース間電圧の直流解析の結果を図 5-4(a)に示す。図 5-3(b)および図 5-4(b)は、素子パラメータ決定の際に参考とした供試 SiC-BGSIT のデータシート上の特性である。

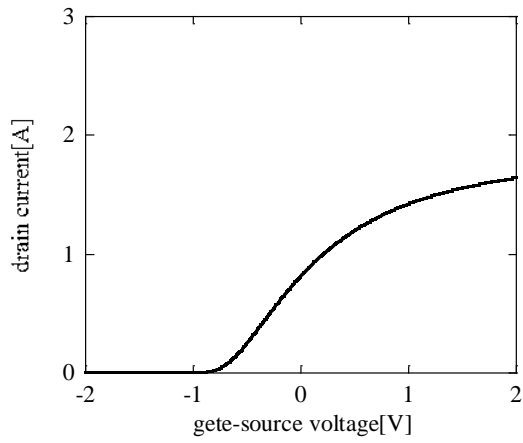
図 5-3 において、ゲート-ソース間電圧が高くなると、図 5-3(a)のドレイン電流は増加していくが、図 5-3(b)のデータシートのドレイン電流は 2[A]弱で飽和している。図 5-3(a)では、ドレイン電流の表現に電流源を用いているため、オン抵抗  $R_{on}$  により電流が抑制されず、ドレイン電流が飽和しない結果となっている。図 5-4 において、図 5-4(a)はデータシートと大域的に一致していないが、実際の回路では、このような定格を超える大電流領域の特性は現われないため、この点は問題とならない。



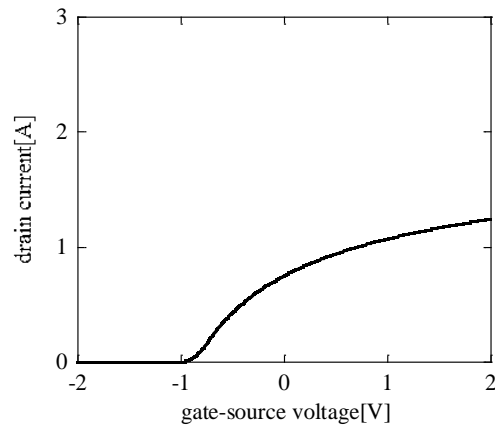
(a)電圧制御電流源モデル



(b)データシート[12]

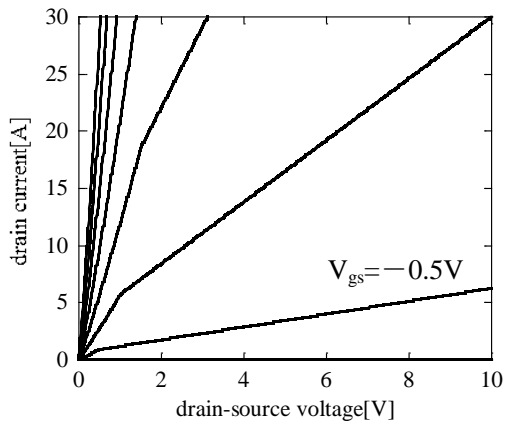


(c)JFET モデル (再調整前)

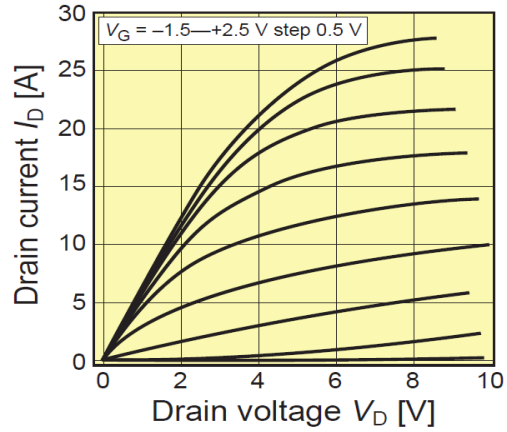


(d)JFET モデル (再調整後)

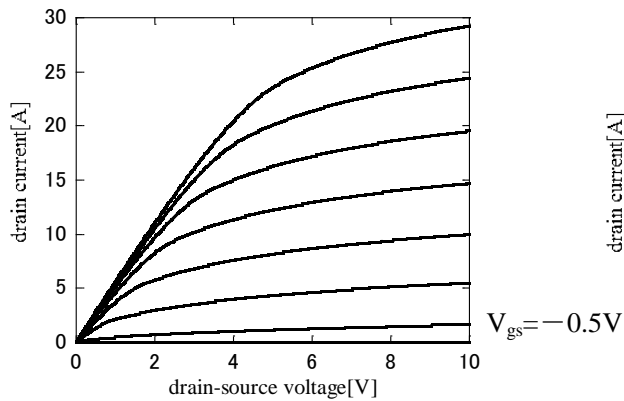
図 5-3 直流入出力特性( $V_{ds}=0.3[V]$ )



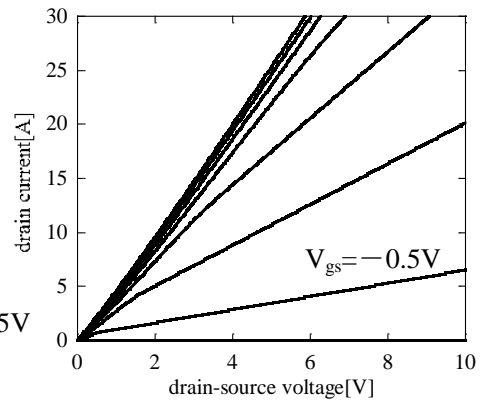
(a)電圧制御電流源モデル



(b)データシート[12]



(c)JFET モデル(再調整前)



(d)JFET モデル(再調整後)

図 5-4 ゲート-ソース間電圧に対する直流出力特性( $V_{gs} = -1.5 \sim 2.5$  [V]、 $0.5$  [V]刻み)

この電圧制御電流源モデルを用いて、ドレイン-ゲート間相互作用の実験結果とシミュレーション結果とを比較した。詳細は、5.3 節で述べるが、実験結果とシミュレーション結果が一致しない部分があり、電圧制御電流源モデルでは、ドレイン-ゲート間相互作用についてうまく表現できなかつた。そこで、BGSIT と近い特性を持つ SPICE3 組み込み JFET モデルを用いて、SiC-BGSIT の別モデルを構築することにした。

## 5.2 JFET モデル

表 5-2 に、SiC-BGSIT の素子モデルとして調整した SPICE3 組み込み JFET モデルのパラメータを示す。表中のパラメータと、素子の電流、電圧などの関係式は次の通りである。

$$i_d = \beta(1 + \lambda V_d)V_d\{B(2v_g - v_{gs}) + A[V_d + 3v_g(v_g - V_d)]\} \quad (5-3)$$

$$G_m = \frac{\partial i_d}{\partial v_{gs}} = \beta(1 + \lambda V_d)V_d\{B + 3A[2v_{gs} - (2V_{to} + V_d)]\} \quad (5-4)$$

$$\beta = \frac{\partial G_m}{\partial v_{gs}} = 6\beta(1 + \lambda V_d)V_dA \quad (5-5)$$

ここで、ドレイン電流  $i_d$ 、ドレイン-ソース間電圧  $V_{ds}$ 、ゲート-ソース間電圧  $v_{gs}$ 、相互コンダクタンス  $G_m$  である。表 5-2 の再調整前は、式(5-3)、式(5-4)、および式(5-5)を用いて、データシートの特性となるべく大域的に一致するよう  $\beta$ 、 $\lambda$  を決定していた。これに対し再調整の際は、データシート全体ではなく、ドレイン電流 5[A]以下の領域で合うように調整した（図 5-4(b)のゲート-ソース間電圧 -0.5[V]の特性）。その理由は、本研究で使用する SiC-BGSIT は定格電流 4[A]であり、その電流領域で一致するようパラメータ調整を行うのが实际的だからである。

表 5-2 のパラメータを用いて、ドレイン電流とゲート-ソース間電圧の直流解析を行った結果を図 5-3(c)および図 5-3(d)に示す。また、ドレイン電流とドレイン-ソース間電圧の直流解析の結果を図 5-4(c)および図 5-4(d)に示す。図 5-3 では、図 5-3(d)の再調整後のドレイン電流の傾きが図 5-3(b)のデータシートより緩やかになり、再調整によりデータシートとの一致が悪くなっているように見える。しかし、ドレイン-ゲート間相互作用では、しきい値電圧であるゲート-ソース間電圧 -1[V]近傍の特性が重要であり、この近傍で一致していれば十分であるため、この点は問題とはならない。図 5-4 では、図 5-4(d)の再調整後のドレイン電流の最大値が 30[A]を超え、データシートとの一致が悪くなっているように見える。しかし実際の回路では、このような大電流領域の特性は現われないため、この点も問題とはならない。

表 5-2 SiC-BGSIT に対する SPICE3-JFET モデルのパラメータ

\* : SPICE3 の省略時の値

|   | 再調整前 | 再調整後 |
|---|------|------|
| Beta: 相互コンダクタンスパラメータ[A/V <sup>2</sup> ]   | 4.7  | 1.8  |
| V <sub>to</sub> : しきい値電圧[V]               | -1   | -1   |
| Lambda: チャネル長調整パラメータ[1/V]                 | 1.9  | 1.5  |
| R <sub>d</sub> : ドレイン抵抗[Ω]                | 0.08 | 0.16 |
| R <sub>s</sub> : ソース抵抗[Ω]                 | 0.08 | 0    |
| C <sub>gs</sub> : ゼロバイアスゲート-ソース間接合容量[pF]  | 100  | 100  |
| C <sub>gd</sub> : ゼロバイアスゲート-ドレイン間接合容量[pF] | 100  | 200  |
| P <sub>b</sub> : ゲート接合電位[V]               | 1.8  | 3    |
| I <sub>s</sub> : ゲート接合飽和電流[A]             | 0    | 0    |
| B: ドーピング広がりパラメータ                          | 0    | 1*   |
| F <sub>c</sub> : 順方向バイアス空乏層容量式の係数         | 0.5* | 0.5* |
| T <sub>nom</sub> : パラメータ測定温度[°C]          | 27*  | 27*  |

### 5.3 実験との比較

本節では、実験結果とシミュレーション結果の比較を行う。シミュレーション用の回路として、図 5-5 に電圧制御電流源モデルを用いたドレイン-ゲート間相互作用測定回路を、図 5-6 に JFET モデルを用いた測定回路を示す。図 4-1 に示す実験回路との相違点は、図 5-5 では S<sub>1</sub> を電圧制御スイッチとしてモデル化している点である。

図 5-7、図 5-8、図 5-9、および図 5-10 に、ドレイン-ゲート間相互作用の実験と SPICE シミュレーションの結果比較を示す。

図 5-7 および図 5-8 は、ドレイン電圧 15[V]一定とし、S<sub>2</sub>(DUT)のゲート抵抗 R<sub>g2</sub> をパラメータとして測定した実験波形と解析結果である。S<sub>1</sub> がターンオフすると、S<sub>2</sub>(DUT) のドレイン-ソース間電圧が急上昇し、これがドレイン-ゲート間容量 C<sub>dg</sub> を介して S<sub>2</sub>(DUT)のゲートに伝わり、その結果、ゲート電位が揺さぶられていることが分かる。図 5-7(a)の実験結果において、ゲート-ソース間電圧はしきい値を超えておらず、誤動作

は発生していない。ドレイン電流が瞬間的に約 0.3A 流れているが、これはドレイン電位上昇に伴うチャンネル内のキャリア分布の変化が電流の形で見えているだけで、誤動作ではない。一方、図 5-8(a)の場合はゲート電位の変動がしきい値電圧を超え、 $S_2(\text{DUT})$ のドレイン電流が瞬間的ではあるが、この測定回路での最大値である 1[A]まで達している。図 5-7(a)と図 5-8(a)の 2 つの実験結果の比較から、 $S_2(\text{DUT})$ のゲート抵抗が大きいほど、 $S_2(\text{DUT})$ における相互作用の影響が大きいことが分かる。これはゲート抵抗が小さいほど、ゲート電位が低いインピーダンスで電圧源  $V_g$  に固定され、その結果  $S_2(\text{DUT})$  がターンオンする恐れが小さくなることで説明できる。

次に、図 5-9 および図 5-10 に  $S_2(\text{DUT})$ のゲート抵抗を 330[Ω]一定として、ドレイン電圧を 15[V]、390[V]と変化させた場合の波形を示す。実験結果から、ドレイン電圧が高いほど、 $S_2(\text{DUT})$ での相互作用が大きく現われ、 $S_2(\text{DUT})$ のドレイン電流が流れる誤動作の期間が長くなることが確認できる。すなわち、ドレイン電圧が高いとドレイン-ゲート間相互作用による誤動作が起りやすく、高耐圧という SiC-BGSIT の特長を活かすことができない。このことは、誤動作の原因であるドレイン-ゲート間容量  $C_{dg}$  の電流  $C_{dg} \frac{dv_{dg}}{dt}$  において、ドレイン電圧が高いほど  $\frac{dv_{dg}}{dt}$  の項が大きくなることで説明できる。

図 5-7、図 5-8、図 5-9、図 5-10 の実験結果とシミュレーション結果を比較すると、図 5-7、図 5-8、図 5-9 の場合、電流源モデルと再調整前の JFET モデルでは振動周波数が実験結果と一致していない。図 5-7(d)、図 5-8(d)および図 5-9(d)の再調整後のシミュレーション結果の振動周波数は、実験結果に近い値を示している。図 5-10 の場合は、電流源モデルと再調整前の JFET モデルではドレイン電流が流れている期間が一致していないが、再調整後の JFET モデルのオン期間は実験結果に近づいている。

パラメータ再調整後の効果を定量的に評価するため、実験結果とシミュレーション結果の間で波形の特徴量を比較した。特徴量としては、ドレイン-ゲート間相互作用によるゲート-ソース間電圧の最大値、ドレイン電流の最大値、および誤動作時のオン期間を選択し、比較の結果をそれぞれ、図 11(a)、図 11(b)、および図 12 に示す。

図 5-11(a)のゲート-ソース間電圧最大値では、再調整の効果はほとんど見られず、実験とシミュレーションはあまり一致していない。これは構築したモデルでは、ゲート-ソース間の特性がうまく表現できていないことを示しており、この点についてはさらに検討が必要である。図 5-11(b)のドレイン電流最大値については、再調整後の JFET モデルではゲート抵抗 50[Ω]まで実験結果とほぼ一致する結果が得られている。図 5-12 の誤

動作時のオン期間では、再調整によりシミュレーション結果が実験結果にかなり近づいたものの、再調整後のモデルでも約 20%の誤差が残っていることが分かる。

以上の比較より、SiC-BGSIT のドレイン-ゲート間相互作用を表現する SPICE モデルとしては、再調整後の JFET モデルが最も適している。次章では、構築した再調整後の JFET モデルを、ドレイン-ゲート間相互作用による誤動作が起こりにくい駆動回路の設計支援に試用する。

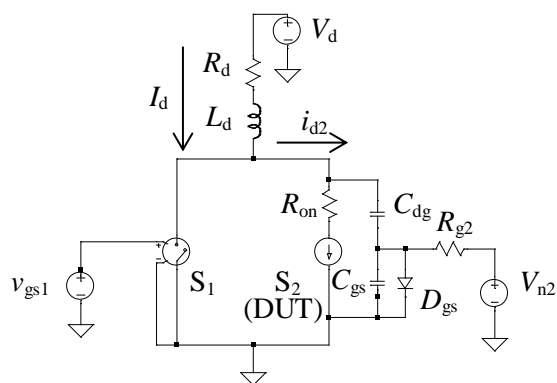


図 5-5 ドレイン-ゲート間相互作用測定回路(電圧制御電流源モデル)

( $V_{n2} = -10[V]$ ,  $V_{gs1} = -10 \sim 5[V]$ )

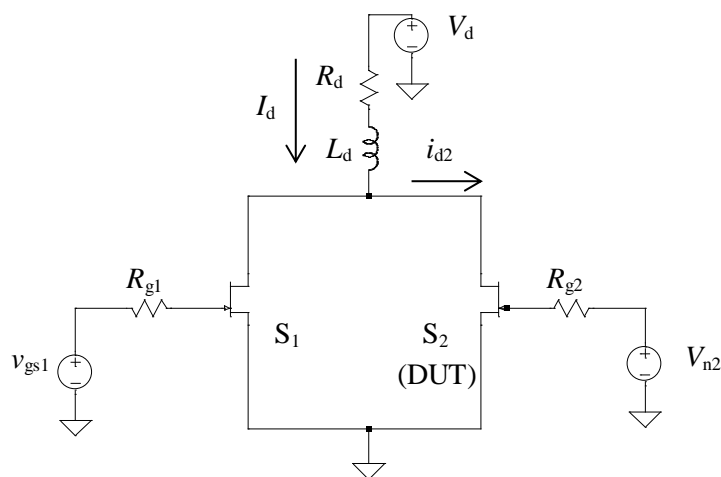


図 5-6 ドレイン-ゲート間相互作用測定回路(JFET モデル)

( $V_{n2} = -10[V]$ ,  $V_{gs1} = -10 \sim 5[V]$ ,  $R_{g1} = 33[\Omega]$ )

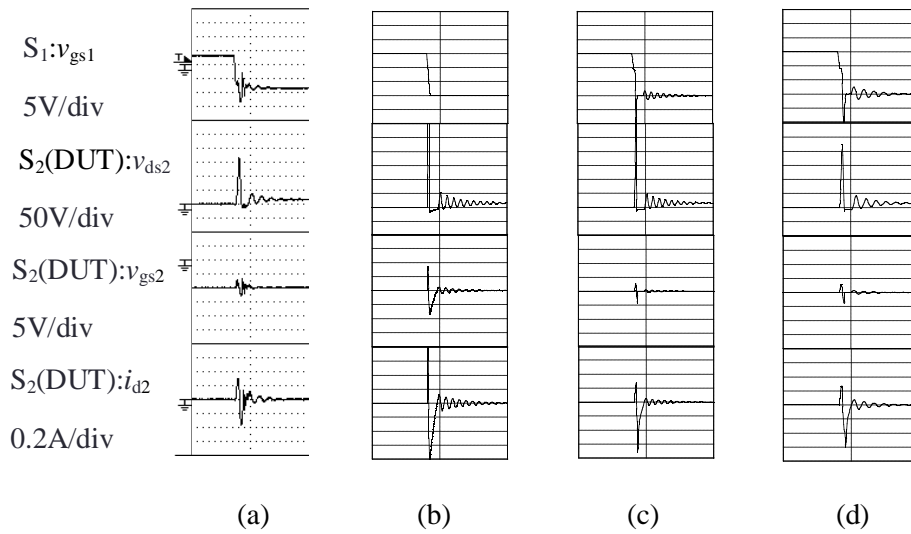


図 5-7 ドレイン-ゲート間相互作用：(a)実験結果、(b)電圧制御電流源モデル、  
(c)JFET モデル(再調整前)、(d)JFET モデル(再調整後)( $V_d=15[V]$ ,  $L_d=4.0[\mu H]$ ,  
 $R_{g2}=10[\Omega]$ ,  $1\mu s/div$ )

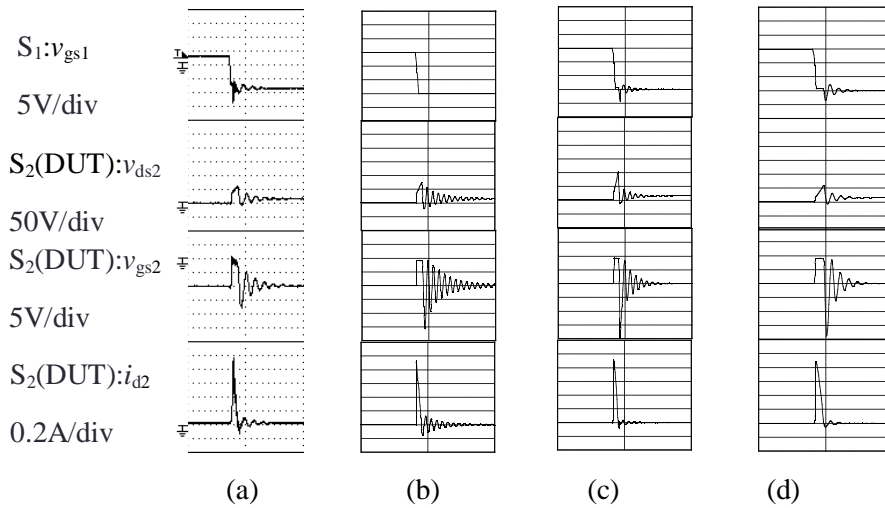


図 5-8 ドレイン-ゲート間相互作用：(a)実験結果、(b)電圧制御電流源モデル、  
(c)JFET モデル(再調整前)、(d)JFET モデル(再調整後)( $V_d=15[V]$ ,  $L_d=4.0[\mu H]$ ,  
 $R_{g2}=470[\Omega]$ ,  $1\mu s/div$ )



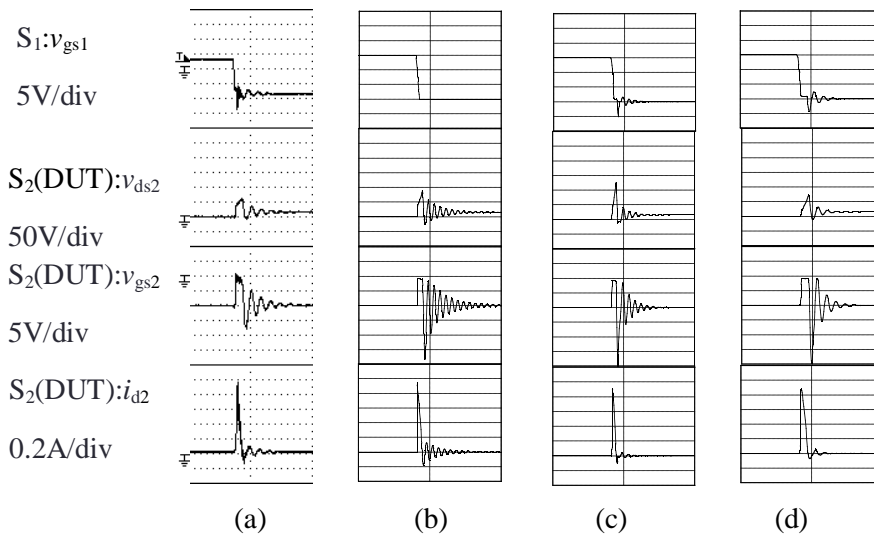


図 5-9 ドレイン-ゲート間相互作用：(a)実験結果、(b)電圧制御電流源モデル、  
(c)JFET モデル(再調整前)、(d)JFET モデル(再調整後)( $V_d=15[\text{V}]$ ,  $L_d=4.0[\mu\text{H}]$ ,  
 $R_{g2}=330[\Omega]$ , 1 $\mu\text{s}/\text{div}$ )

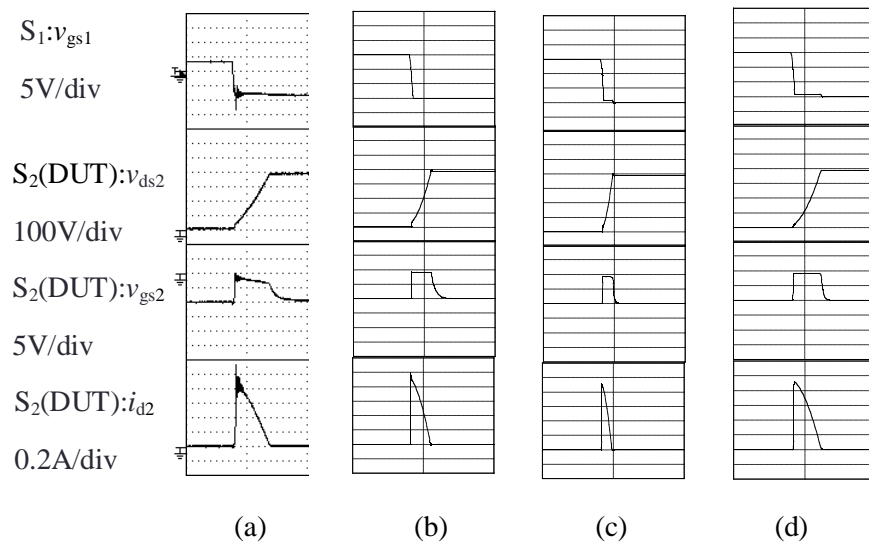


図 5-10 ドレイン-ゲート間相互作用：(a)実験結果、(b)電圧制御電流源モデル、  
(c)JFET モデル(再調整前)、(d)JFET モデル(再調整後)( $V_d=390[\text{V}]$ ,  $L_d=2.3[\mu\text{H}]$ ,  
 $R_{g2}=330[\Omega]$ , 1 $\mu\text{s}/\text{div}$ )

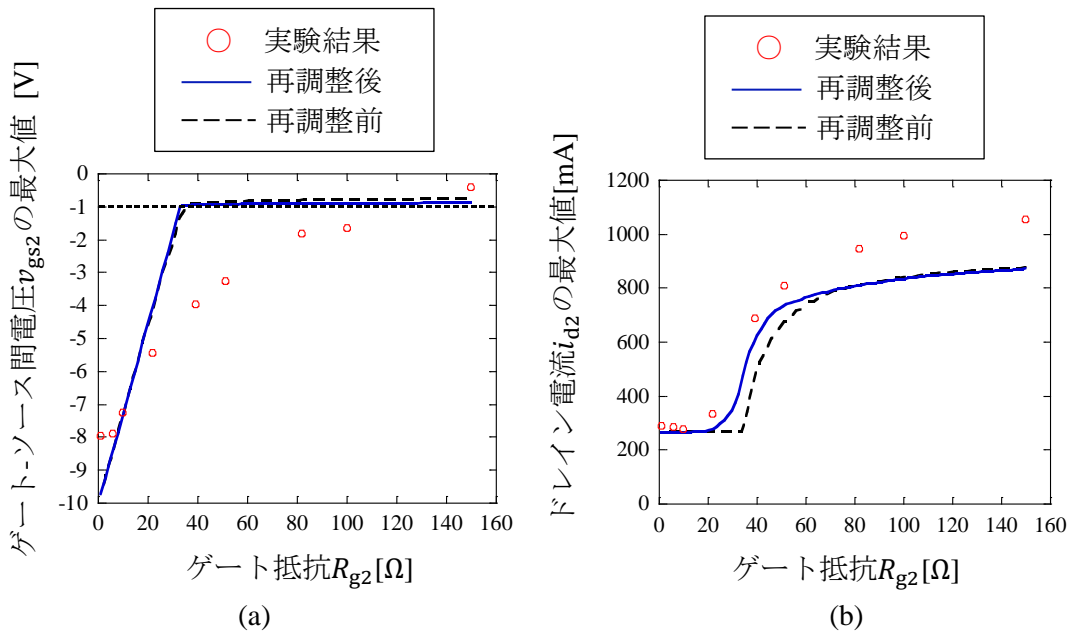


図 5-11 ドレイン-ゲート間相互作用：(a)ゲート-ソース間電圧の最大値、  
(b)ドレイン電流の最大値( $V_d=390[V]$ ,  $L_d=2.3[\mu H]$ ,  $R_{g2}=1\sim 150[\Omega]$ )

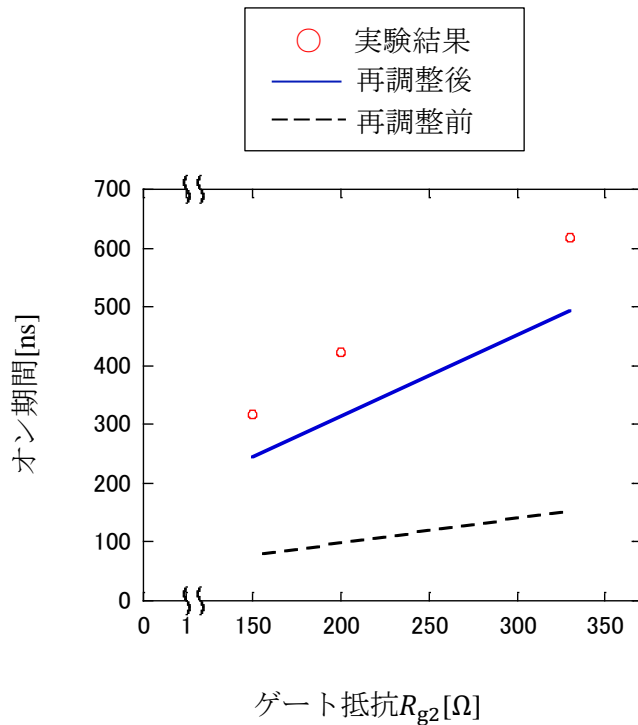


図 5-12 誤動作時のオン期間  
( $V_d=390[V]$ ,  $L_d=2.3[\mu H]$ ,  $R_{g2}=150\sim 330[\Omega]$ )

## 第6章 共振駆動回路

本章では、前章で構築した SiC-BGSIT の JFET モデルを試用し、ドレイン-ゲート間相互作用による誤動作の起こりにくい共振駆動回路を設計する。その設計した駆動回路を用いて実験およびシミュレーションを行い、それらの結果を比較し、構築した JFET モデルの妥当性について検討を加える。

### 6.1 設計

構築した SiC-BGSIT の SPICE モデルの応用として、SiC-BGSIT の駆動回路設計に試用した。設計の目標は、高速スイッチングを可能にし、ドレイン-ゲート間相互作用による誤動作を起こしにくい駆動回路である。

高速スイッチングについては、ゲート配線の寄生インダクタンスと外付けのコンデンサによる共振駆動構成とし、ドレイン-ゲート間相互作用対策としては、オフ時のゲートを負電圧によりダイオードクランプ（オフ時のゲート電位を固定）することにした。また、ノーマリオン特性ではあるが、SiC-BGSIT のオン抵抗を低減するため、オン時の駆動ではわずかにゲート電流を流すこととした（バイポーラモード動作）。図 6-1 に設計結果を示す。

図 6-1 において、 $L_r$  および  $R_2$  は、それぞれのゲート配線部の寄生インダクタンスと寄生抵抗である。外付けの部品は、共振用コンデンサ  $C_r$ 、クランプ用ショットキーバリアダイオード  $D_1$  (BAT48, 0.35A, 40V)、オン時駆動用ゲート抵抗  $R_g$  である。また、SiC-BGSIT の駆動には Si-MOSFET 用駆動 IC (TPS2812) を用いている。

この回路はターンオン時に  $C_r$ 、 $L_r$ 、 $R_2$  による電流共振が起こり、ターンオン時間の短縮が可能である。また、ドレイン-ゲート間相互作用により、ドレインからゲートに流れる電流がゲート抵抗  $R_g$  に流れると、ゲート-ソース間電圧の上昇を引き起こすが、並列のショットキーバリアダイオードにより、この電流を低インピーダンスで負電源に流すことにより、ゲート-ソース間電圧の上昇を抑えている。

この共振駆動回路の  $C_r$ 、 $L_r$ 、 $R_2$  を決定するために、次式を用いた。

$$i_g = \frac{V_p - V_f}{\sqrt{\frac{L_r}{C_r} - \frac{1}{4}R_2^2}} \cdot e^{-\frac{R_2}{2L_r}t} \cdot \sin \sqrt{\frac{1}{L_r C_r} - \frac{1}{4}\left(\frac{R_2}{L_r}\right)^2} t \quad (6-1)$$

$$Q_g = \frac{1}{2} \cdot C_r (V_p - V_f) \cdot (e^{-\frac{R_2}{2L_r}t} + 1) \quad (6-2)$$

ここで、式(6-1)はターンオン時の電流経路である  $C_r$ 、 $L_r$ 、 $R_2$  による直列共振電流  $i_g$  の、式(6-2)は供給されるゲート電荷  $Q_g$  の解析解である。寄生要素  $L_r$ 、 $R_2$  の推定は、 $C_r$  を変えて電流波形の変化を測定することにより行った。 $C_r$  の値はターンオン時に SiC-BGSIT が必要とするゲート電荷(図 5-2)を短時間で十分供給できるよう選定し、式(6-2)より、ターンオンに必要なゲート電荷が供給されていることを確かめた。

図 6-2 に、図 6-1 の共振駆動回路のゲート電流とゲート-ソース間電圧、および駆動される SiC-BGSIT のドレイン電流とドレイン-ソース間電圧を測定・計算した結果を示す。図 6-2(a)の実験による  $i_g$  の最大値は 310[mA] である。一方、図 6-2(b)の JFET モデルによるシミュレーション結果では、最大値は 2[A] と約 7 倍の値を示し、ゲート電流の一致は良くない結果となった。これは、再調整後のモデルでも、ゲート-ソース間の特性をうまく表現できていないためだと考えられる。また、式(6-2)と実験値を用いてゲート電荷の計算を行った結果、 $Q_g=10[\text{nC}]$  となり、図 5-2 のドレイン電圧 390[V] におけるゲート電荷 11[nC] を十分に供給できていないように見える。しかし、図 6-2(a)のドレイン-ソース間電圧のターンオン時間は 30[ns] で、実験的には十分にゲート電荷が供給できている。この点も、シミュレーションではうまく再現されていない。

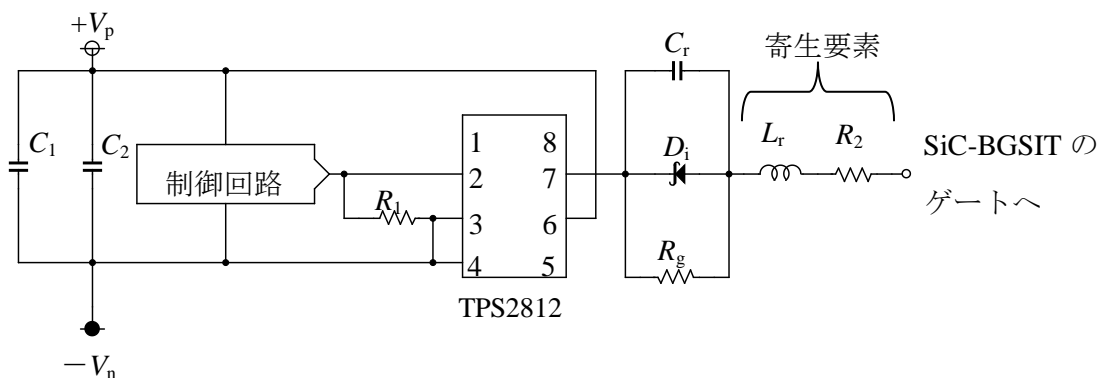
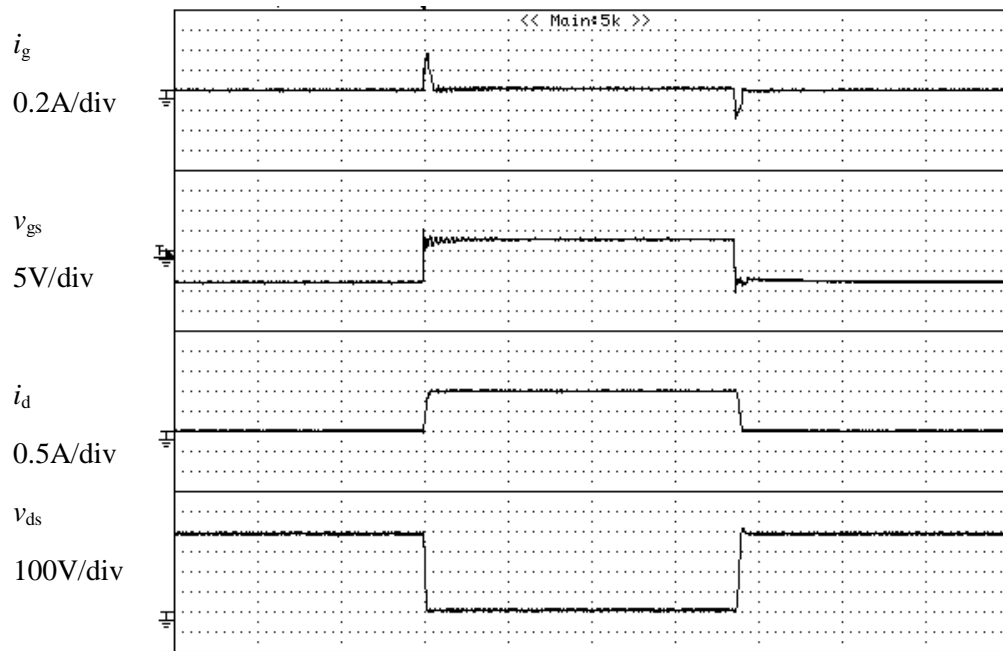


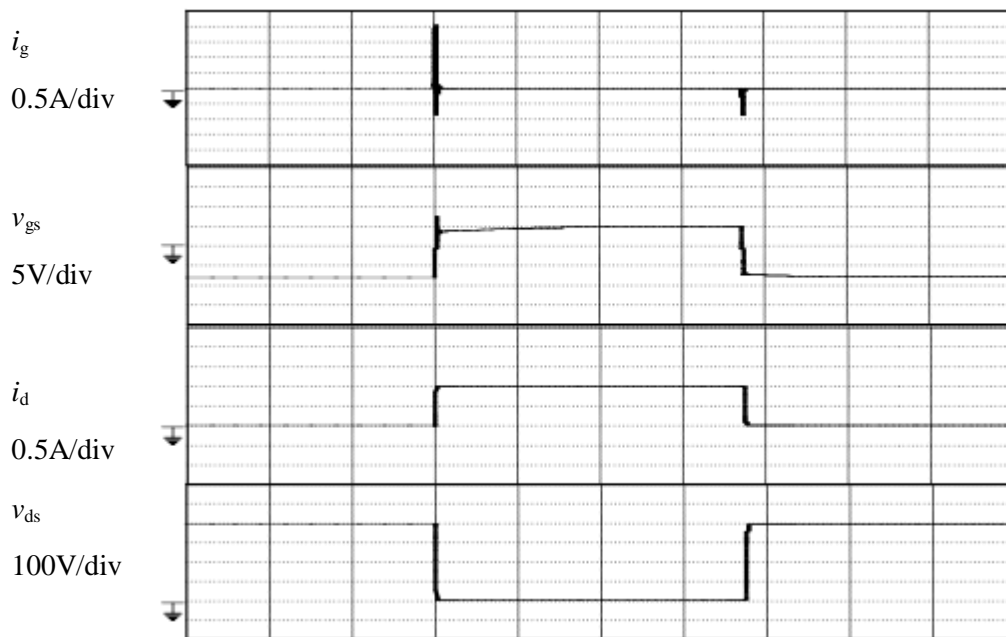
図 6-1 共振駆動回路

( $V_p=5[\text{V}]$ ,  $V_n=8[\text{V}]$ ,  $R_1=51[\Omega]$ ,  $C_1=4.7[\mu\text{F}]$ ,  $C_2=0.1[\mu\text{F}]$ ,  $C_r=10[\text{nF}]$ ,

$L_r=26[\text{nH}]$ ,  $R_2=3[\Omega]$ ,  $R_g=100[\Omega]$ )



(a)実験結果



(b)シミュレーション結果

図 6-2 共振駆動回路波形( $V_d=390[V]$ ,  $1\mu s/div$ )

## 6.2 実験との比較

図 6-1 の共振駆動回路を図 4-1 の測定回路に組み込み、ドレイン-ゲート間相互作用による影響を調べた。図 6-3 に回路を示す。図 6-3 では  $S_1$  と  $S_2$ (DUT)の両方に共振駆動回路を用いて動作させている。実験の方法は 4.2 節と同様である。

図 6-4 に実験とシミュレーションの結果を示す。図 6-4(a)より、ゲート-ソース間電圧がしきい値電圧 $-1[V]$ を超えておらず、誤動作していないことが分かる。これにより、設計した共振駆動回路のクランプダイオードの有効性が確認できた。また、ドレイン電流がわずかに流れているが、これはドレイン-ソース間電圧の変化時に、素子内部のキャリア分布の変化が電流の形で見えているからであり、誤動作ではない。図 6-4(b)のシミュレーション結果と比較すると、実験結果とほぼ一致しており、シミュレーションでもクランプダイオードの有効性について確認できた。

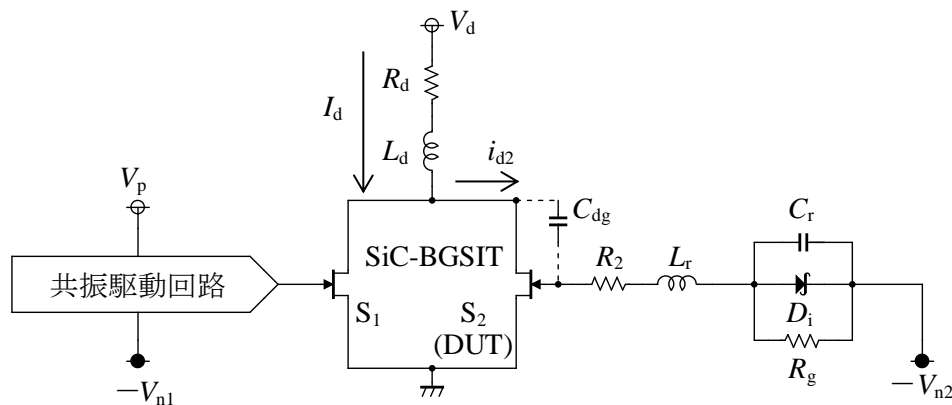


図 6-3 共振駆動回路を用いたドレイン-ゲート間相互作用測定回路

(実験および JFET モデル)

( $V_p=5$ ,  $V_{n1}=8[V]$ ,  $V_{n2}=10[V]$ ,  $V_d=390[V]$ ,  $R_d=390[\Omega]$ ,  $L_d=2.3[\mu H]$ ,

$R_2=3[\Omega]$ ,  $R_g=100[\Omega]$ ,  $C_r=10[nF]$ ,  $L_r=26[nH]$ )

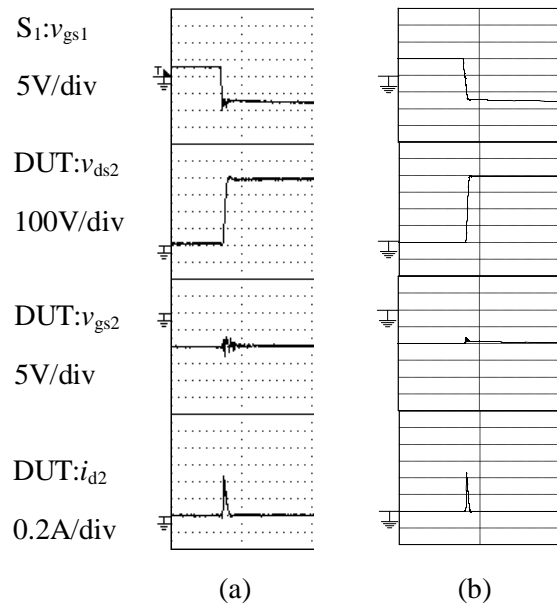


図 6-4 ドレイン-ゲート間相互作用 : (a)実験結果、(b)シミュレーション結果(1 $\mu$ s/div)

## 第7章 結論

本研究では、供試 SiC-BGSIT と SiC-BJT について、基本的なスイッチング特性であるターンオン時間とターンオフ時間を実験的に比較した。また、駆動に必要な両者のエネルギー・電力についても比較を行った。

次に、応用上重要なドレイン-ゲート間相互作用について、供試 SiC-BGSIT の実験結果を再現する SPICE モデルの構築を行った。また、構築した SPICE モデルを、共振駆動回路の設計支援に試用した。本研究での議論は以下のようにまとめられる。

- (1) SiC-BGSIT と SiC-BJT のスイッチング特性の比較では、両者ともに同等のターンオン時間とターンオフ時間を示すことが分かった。特に SiC-BJT のターンオフ時間については目立った蓄積効果が見られず、これは SiC のキャリアライフタイムが短いためだと考えられる。
- (2) SiC-BGSIT と SiC-BJT の駆動に必要な電力に関して、想定される使用条件では、オン時の駆動電力が支配的であった。また、SiC-BGSIT では、そのノーマリオン特性によりオン時のゲート電流を小さく設定でき、電流制御素子の SiC-BJT よりオン時の駆動電力を小さくできる可能性を指摘した。
- (3) SiC-BGSIT のドレイン-ゲート間相互作用に関して、いくつかの解析モデルの構築を行った。その中で、SiC-BGSIT の定格電流以下の特性に的を絞り、SPICE3 の組み込み JFET モデルのパラメータを再調整したものが、最もドレイン-ゲート間相互作用をうまく再現できていた。
- (4) 構築した JFET モデルを検証するため、共振駆動回路の設計支援に試用した。実験結果と SPICE によるシミュレーション結果の比較では、共振駆動回路のゲート電流が良好に一致しなかった。原因の 1 つとして、構築したモデルにおいてゲート-ソース間の特性がうまく表現できていないことが考えられる。
- (5) 設計した共振駆動回路が、ドレイン電圧 400V 以下でドレイン-ゲート間相互作用に



よる誤動作が起こらない駆動回路であることを確認した。実験およびシミュレーションにより、クランプダイオードの有効性を確かめることができた。

今後の課題として、トータムポール接続した SiC-BGSIT のスイッチング特性について、構築した SPICE モデルを用いた SPICE シミュレーションと実験との比較が挙げられる。

## 謝辞

本研究の遂行にあたり、終始ご指導、ご助言くださった田中哲郎准教授に深く感謝致します。また、研究にご協力頂いた院生の野口翔平君、学部生の奥雅貴君、片山泰志君、西弘輝君、村山勝哉君に心から感謝致します。

最後に、貴重な SiC-BGSIT を提供していただいた産業技術総合研究所 SiC パワーデバイスチームの皆様に、心から感謝致します。

## 参考文献

- [1] 奥村元, 児島一聡, 福田憲司, “SiC 半導体の基礎と応用”, ED リサーチ社, 2008.
- [2] 井幸孝, “SiC-BGSIT のスイッチング特性について—ドレイン-ゲート間相互作用”, 鹿児島大学工学部電気電子卒論, 2013 年 2 月.
- [3] 小川晃史, “SiC-BJT のスイッチング特性について”, 鹿児島大学工学部電気電子卒論, 2014 年 2 月.
- [4] Olivier Berry, Youness Hamieh, et al., “Minimization of drain-to-gate interaction in a SiC JFET inverter using an external gate-source capacitor”, Materials Science Forum, vol.645—648, pp.957—960, 2010.
- [5] 根津禎, “SiC が地下鉄に載る三菱電がインバータで採用”, 次世代パワー半導体, pp39—41, 日経 BP 社, 東京, 2012.
- [6] “超低損失 SiC パワーデバイスの開発”, 産業技術総合研究所, <https://unit.aist.go.jp/adperc/ci/teams/s-pdt.html#tanaka>, 参照 Dec. 22, 2014.
- [7] Josef Lutz, Heinrich Schlangenotto, et al., “Bipolar Transistors”, Semiconductor Power Device, pp.241—256, Springer-Verlag, Berlin, 2011.
- [8] 根津禎, “SiC トランジスタの増幅率 京都大学が 200 超を達成”, 次世代パワー半導体, pp.85—86, 日経 BP 社, 東京, 2012.
- [9] Ranbir Singh, GeneSiC Semiconductor Inc. Team, “High Current 1200V 4H - SiC Super Junction Transistors”, <http://www.e-driveonline.com/Conf-12/images/Presentations/GeneSiC.pdf>, 参照 Mar. 20, 2014.
- [10] A. E. Parker and D. J. Skellern, “An improved FET model for computer simulators,” IEEE Trans CAD, vol.9, no.5, pp.551—553, May 1990.
- [11] Ayumi Nakabayashi, “Spice3f5 マニュアル”, <http://ayumi.cava.jp/audio/spiceman.pdf>, pp30—31, 2002 年 2 月 25 日.
- [12] “シリコンカーバイド埋め込みゲート形静電誘導トランジスタ (SiC-BG-SIT2) の定格と特性 (暫定)”, 産業技術総合研究所, 2010 年 4 月 27 日.