

2 段形 CMOS 論理回路の構成法

山下陸夫・山下義信
(受理 昭和59年5月31日)

SYNTHESIS ALGORITHMS FOR 2 – LEVEL CMOS NETWORKS

Mutsuo YAMASHITA and Yoshinobu YAMASHITA

The CMOS integrated circuit technology exhibits many new features. One of them is the ability of each CMOS cell to represent a considerably complex function. And another is the ability to solve the heat problem in a VLSI system.

In the static CMOS logic there are two types of circuits, one of them is an inverting logic and the other is a transmission (or transfer) gate logic. In this paper, the MOS switching-operation model is proposed. Using this model, CMOS logic circuits were very easily analyzed.

Synthesis algorithms for two type logic circuits are proposed under the conditions that :

- 1) the network consists of two-levels and
- 2) the logic operation speed and the number of MOSFET's connected in series or parallel are not considered.

It was shown that any function of n variables can be realized with at most $n+1$ CMOS cells under the above conditions.

1. まえがき

デジタル IC や LSI において消費電力が少なくかつ複雑な論理機能を1個のMOSセルで実現でき高集積化可能なMOS回路が広く利用されている¹⁾。特にVLSIにおいては発熱によるチップの温度上昇の問題を解決する方法としてCMOS回路が採用される傾向にある^{2)~3)}。CMOS回路は低消費電力で雑音に強い利点を持ち今後益々広く利用されるものと思われる。

従来MOS論理回路はMOSセルの数に消費電力が依存しているため最少のMOSセル数にて構成する方法が研究されている^{4)~8)}。しかしCMOS論理回路の構成法については、従来のMOS論理回路の負荷MOSFETをスイッチMOSFETに置き換える⁹⁾程度であまり研究されていない。本文ではこれまでに検討したCMOS論理回路の構成法^{10),11)}の概要を報告する。

ここでは、0, 1の2値で正論理のスタティック型

論理回路を研究の対象とし、各MOSセルにおけるMOSFETの直列接続、並列接続の数の制限、ファンイン・ファンアウト上の制限及び回路の動作速度の制限等は考慮しないものと仮定した。

本研究ではMOSFETを三端子スイッチとしてモデル化し¹²⁾、その基本動作を検討することによりCMOS論理回路の動作解析ができ、従来から研究されていた反転形¹³⁾MOS回路のCMOS化とその構成法及び筆者らが新しく提案した伝送ゲート形回路の構成法が明らかになり、伝送ゲート形回路が反転形回路よりも一般性を持っていることがわかった。

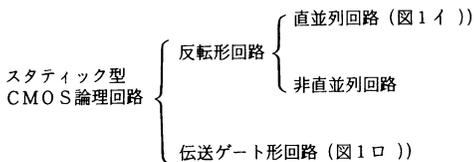
2 CMOS 論理回路の種類と MOS スイッチモデル

2. 1 CMOS 論理回路の分類

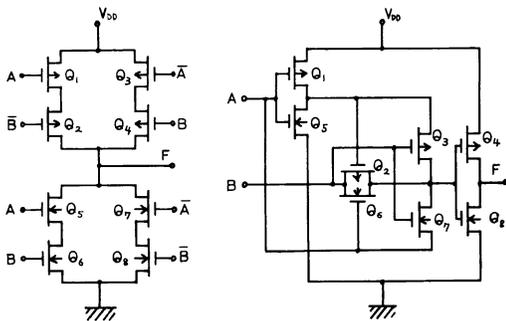
MOS論理回路は電源の観点から見れば基本的には2つの異なった様子で動作する。第1は電源に直流を

用いる場合でこのタイプをスタティック型と呼ぶ。第 2 は電源にクロックパルスを用いる場合で、ダイナミック型と呼ぶ。CMOS 回路も同様に分類できダイナミック型では MOSFET の数を減少できる。本論文のスタティック型は更に表 1 のように分類できる。2

表 1 スタティック型 CMOS 論理回路の分類



入力排他的論理和回路の例を図 1 に示す。インバータも 1 個の MOS セルとするといずれの回路も 3 個の MOS セルで構成できる。図 1 の伝送ゲート形は



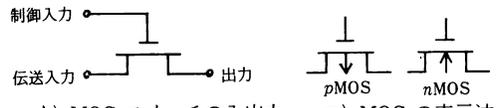
イ) 反転形回路 ロ) 伝送ゲート形回路

図 1 CMOS 論理回路 (二入力 XOR)

2 入力一致回路がインバータで否定された回路で 3 段となっている。インバータを省略した回路では 2 個の MOS セルで構成できる (図 14 ロ))。

2. 2 MOS 三端子スイッチモデル¹²⁾

MOSFET を図 2 のように、入力二端子 (制御入力, 伝送入力) と出力一端子の三端子スイッチとしてモデル化する。p 及び n チャネルエンハンスメントモードの MOSFET を使用して、電源電圧 V_{DD} を論理 “1”, アース電圧を論理 “0” に対応させて、伝送及び制御入力端子に信号を加えた場合の MOSFET の動作状態を表 2 に示す。不完全導通の動作状態では入力信号よりも出力電圧が 1 個の MOSFET 当た



イ) MOS スイッチの入出力 ロ) MOS の表示法 (エンハンスメントモード)

図 2 MOS 三端子スイッチモデル

表 2 MOS スイッチの基本動作 (正論理)

入力		pMOS スイッチ		nMOS スイッチ	
伝送	制御	出力	動作状態	出力	動作状態
0	0	(0)	不完全導通	不定	しゃ断
0	1	不定	しゃ断	0	完全導通
1	0	1	完全導通	不定	しゃ断
1	1	不定	しゃ断	(1)	不完全導通

(1 : V_{DD} , 0 : GND 以下同じ)

りしきい値電圧だけ変化し、入力電圧 (信号) が完全に伝送されない。したがって p チャネル MOSFET での “0” 及び n チャネル MOSFET での “1” の出力は不可能である。

この MOS スイッチを直列接続, 並列接続すると, 接続部分では局部的に AND 動作, OR 動作をするが MOSFET のチャネルの種類や回路での位置等によって論理機能との対応は複雑である。

2. 3 MOS スイッチの並列接続条件

回路構成上 MOS スイッチを並列接続する必要がある。並列接続すべき MOS スイッチ中任意の 2 つの MOS スイッチが並列接続可能であるためには、

任意の入力信号に対して “1 (又は (1))” と “0 (又は (0))” とを同時に出力しないことである。

任意の 2 つの MOS スイッチの出力を f_i, f_j とするとき並列接続できる組合せを表 3 に示す。

表3 ワイヤードOR条件

出力 f_i \ 出力 f_j	1	(1)	0	(0)	不定
1	○	○	×	×	○
(1)	○	○	×	×	○
0	×	×	○	○	○
(0)	×	×	○	○	○
不定	○	○	○	○	○

○：接続可能，×：接続不可

この MOS スイッチを並列接続できる条件をワイヤード OR 可能条件といい CMOS 論理回路構成上重要な概念である。

3 CMOS 論理回路の構成要素と回路の性質

CMOS 論理回路の構成要素は MOS スイッチ，これらを 2 個以上組合せたインバータ及び伝送ゲートが基本的なものである。これらの回路及び動作について検討する。

3.1 インバータと伝送ゲート

インバータの回路図を図 3 に示す。表 2 の MOS スイッチの基本動作を参照するとインバータの動作は表 4 となる。

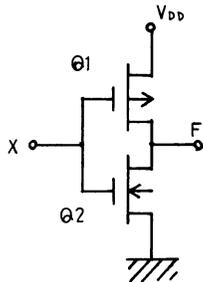


図3 インバータ

表4 インバータの動作

入力 x	MOSの動作		出力 f
	Q_1	Q_2	
0	ON	OFF	1
1	OFF	ON	0

双方向伝送ゲートは p 及び n チャネル MOS スイッチを並列接続して構成でき，これを図 4 (a)に示す。伝送入力を x_T ，制御入力を C_p, C_n とすれば，各入力信号の組合せに対して双方向伝送ゲートの動作は表 5 に示すようになる。制御入力 C_p, C_n の組合せを適当に選べば，出力 f は次のようになる。(表 5 の※印)

$$\left. \begin{aligned} C_p=0, C_n=1 \text{ のとき } f &= x_T \\ &\text{(伝送入力そのまま出力となる。)} \\ C_p=1, C_n=0 \text{ のとき } f &\text{は不定} \\ &\text{(入出力が切り離される。)} \end{aligned} \right\} (1)$$

表5 双方向伝送ゲートの動作

伝送入力 x_T	制御入力		MOSの動作		出力 f	備考
	C_p	C_n	Q_1	Q_2		
0	0	0	(ON)	OFF	(0)	
	0	1	(ON)	ON	0	※
	1	0	OFF	OFF	不定	※
	1	1	OFF	ON	0	
1	0	0	(ON)	OFF	1	
	0	1	ON	(ON)	1	※
	1	0	OFF	OFF	不定	※
	1	1	OFF	(ON)	(1)	

(ON), (0), (1)：不完全導通を示す。以下同じ

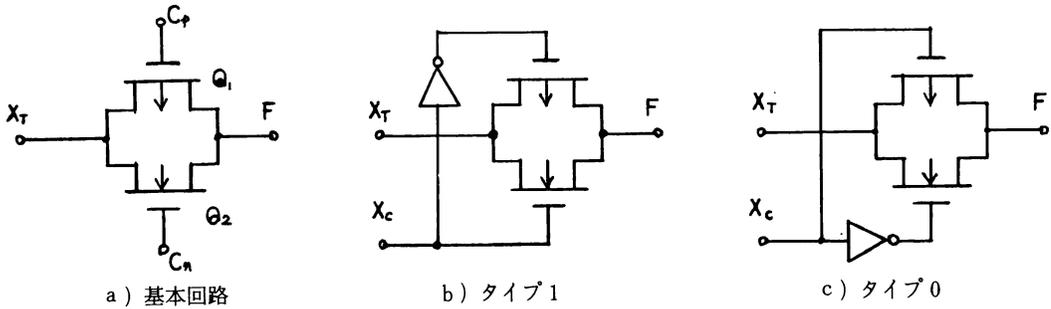


図4 双方向伝送ゲート

この双方向伝送ゲートの制御入力 C_p, C_n の間には $C_p = C_n$ が成立するので、インバータを使用し C_p, C_n をまとめて x_c で制御すれば図4 (b), (c)の二種類の双方向伝送ゲートが考えられる。すなわち $x_c=1$ のとき伝送入力が出力となるタイプ1と $x_c=0$ のとき出力となるタイプ0である。

双方向伝送ゲートに対し“1(又は“0”)”のみしか伝送できない単方向伝送ゲートを考える。これは単一のMOSスイッチで構成する。伝送ゲート形論理回路の基本構成要素の一つである。

任意の論理関数を実現するために直並列接続されたMOSスイッチのまとまりをMOSセルと呼び、必ずpMOS及びnMOSスイッチを含んでいる。MOS

セルは変数とその否定とを入力として使用可能な二線論理回路である。インバータや図1イ)の反転形二入力XOR回路はMOSセルであるが、伝送ゲートはMOSセルではない。

3.2 二入力排他的論理和(XOR)回路の動作

既に図1に示した二入力排他的論理和回路の動作を述べる。イ)の反転形回路では \bar{A}, \bar{B} のためのインバータを省略している。ロ)の伝送ゲート形回路では Q_1, Q_5 及び Q_4, Q_8 でインバータを構成し、 Q_2, Q_3, Q_6, Q_7 は各々単方向伝送ゲートである。これら4個で1つのMOSセルを構成している。

表2のMOSスイッチの基本動作を参考にすれば、

表6 二入力排他的論理和(XOR)回路の動作

回路の種類	入力				pMOSの動作				nMOSの動作				出力 f	備考
	A	B	\bar{A}	\bar{B}	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7	Q_8		
反転形回路	0	0	1	1	ON	OFF	OFF	(ON)	OFF	OFF	ON	ON	0	図1 イ)
	0	1	1	0	ON	ON	OFF	OFF	OFF	ON	(ON)	OFF	1	
	1	0	0	1	OFF	OFF	ON	ON	(ON)	OFF	OFF	ON	1	
	1	1	0	0	OFF	(ON)	ON	OFF	ON	ON	OFF	OFF	0	
伝送ゲート形回路	0	0	1	1	ON	OFF	ON	OFF	OFF	OFF	OFF	ON	0	図1 ロ)
	0	1	1	0	ON	OFF	OFF	ON	OFF	OFF	ON	OFF	1	
	1	0	0	1	OFF	(ON)	(ON)	ON	ON	ON	OFF	OFF	1	
	1	1	0	0	OFF	ON	OFF	OFF	ON	(ON)	(ON)	ON	0	

入力信号 A, B に対して表 6 のように動作する。いずれの回路も二入力排他的論理和回路として働いていることがわかる。

CMOS 論理回路では、出力段に着目すると、論理“1”は pMOS、論理“0”は nMOS スイッチが導通し、規定の論理値を出力している。回路の動作は各 MOS セルについて表 2 の MOS スイッチの基本動作を参照して解析すればよい。

論理回路の段数は MOS スイッチ 1 個の論理演算に着目して 1 段と見なし、直並列接続では段数は増

加しない。各入力から出力に到る最も長い連鎖の中の MOS 数を回路の段数とする。図 1 の反転形は 2 段、伝送ゲート形は 3 段となる。

3. 3 CMOS 論理回路の性質

1) CMOS 論理回路の一般形

CMOS 論理回路は p チャネル MOS スイッチで構成された部分と n チャネル MOS スイッチで構成された 2 つの部分回路より成り立っており、一般的な回路構成図を図 5 に示す。

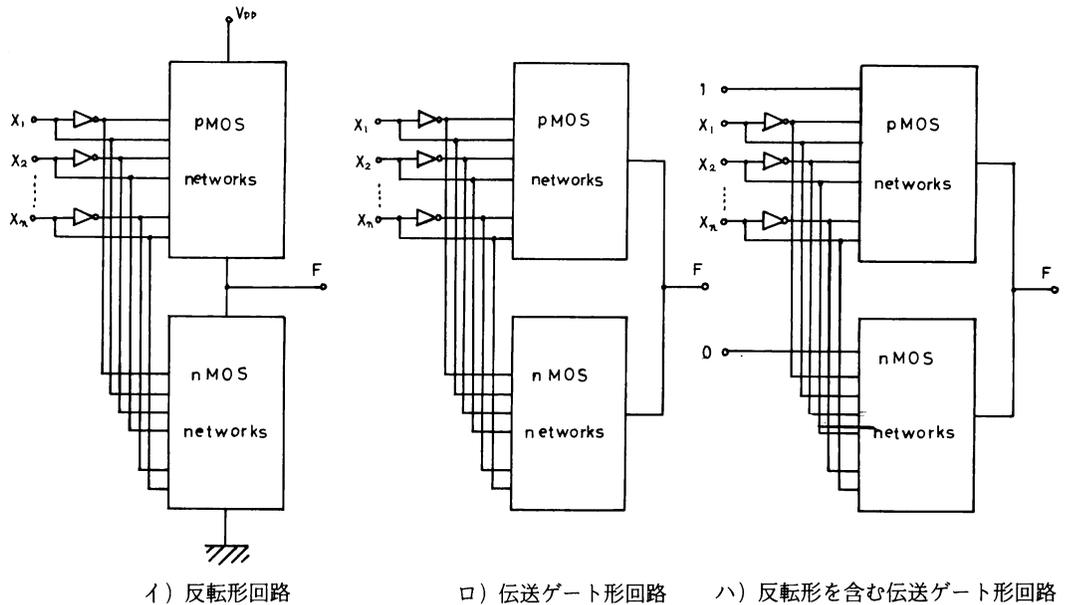


図 5 CMOS 論理回路の一般形

反転形回路では入力信号 (x_1, x_2, \dots, x_n) とその否定信号は各 MOSFET のゲートに加えられ、pMOS 部は電源電圧 V_{DD} に、nMOS 部はアース電圧の接地端子に接続されている。(図 5 1))。

伝送ゲート形回路では入力信号とその否定信号が MOS スイッチの伝送及び制御入力端子に加えられる(図 5 2))。伝送ゲート形回路において入力信号に定数の論理値“1 (V_{DD})”及び“0 (アース電圧)”も加えるように拡張すれば、反転形回路がこの中に含まれることになる(図 5 3))。したがって筆者らが新しく提案する伝送ゲート形回路の方が反転形回路より一般性を持っていることがわかる。

MOS スイッチの直並列接続数に制限をしなければ、任意の論理関数は入力信号の否定のためのインバータ

及び MOS セルの構成部との 2 段形回路で実現可能となる。

2) CMOS 論理回路の性質

現在までに判明した構成法に関係ある CMOS 論理回路の性質は以下の通りである。

性質 1 任意の MOS セルにおいて pMOS は“1” nMOS は“0”を出力する。

性質 2 回路の構成にあたっては論理値“1”のみでなく“0”も考慮する必要がある、かつワイヤード OR 条件を満足する必要がある。

性質 3 MOS スイッチの直並列の個数を制限しなければ、任意の論理関数は 2 段形 CMOS 回路として実現できる。

性質 4 n 変数論理回路実現に必要な MOS セル

の数は $n+1$ 個以下である。

性質5 定数“1”又は“0”, 或は定数に接続された MOS スイッチの出力に伝送入力に接続された伝送ゲート形回路が反転形回路であり, 反転形回路は伝送形回路の特殊な場合で, 伝送ゲート形に含まれる。

性質6 反転形回路では, pMOS と nMOS スイッチの数は等しい。

性質7 反転形回路では pMOS 部と nMOS 部とはいずれか一方の部分のみが導通している(ワイヤード OR 条件は常に満足している)。

以上の外に動作振幅, 消費電力, 集積化時の MOS の占有面積等については省略した。

4. 直並列反転形回路の構成法

反転形回路の構成法には

- 1) 真理値表を基準に構成する方法
- 2) 従来の MOS 論理回路を CMOS 化する方法が考えられる。説明を容易にするため, p, nMOS スイッチ部の導通状態を示す伝達関数を導入する。

4.1 伝達関数の導入

反転形論理回路は既に述べたように出力段に着目すると, 出力“1”の場合には pMOS スイッチ部, “0”の場合には nMOS スイッチ部が導通している。各 MOS スイッチ部の導通, しゃ断の状態を表わす伝達関数 $M(x_1, x_2, \dots, x_n)$ を定める。

伝達関数 $M(x_1, x_2, \dots, x_n)$ の性質を

$M(x_1, x_2, \dots, x_n) = 1$ のとき
MOS スイッチ部導通

$M(x_1, x_2, \dots, x_n) = 0$ のとき
MOS スイッチ部しゃ断

と定めると, 論理関数 $f(x_1, x_2, \dots, x_n)$ との対応は

$$\left. \begin{aligned} f(x_1, x_2, \dots, x_n) = 1 \text{ のとき} \\ M_p(x_1, x_2, \dots, x_n) = 1 \\ f(x_1, x_2, \dots, x_n) = 0 \text{ のとき} \\ M_n(x_1, x_2, \dots, x_n) = 1 \end{aligned} \right\} (3)$$

ただし, M_p, M_n は pMOS スイッチ部, nMOS スイッチ部の伝達関数である。

となる。MOS スイッチの基本動作を考慮すると, 各 MOS スイッチが導通する制御入力

pMOS スイッチのとき “0”

nMOS スイッチのとき “1”

であるから, pMOS スイッチへの制御入力は否定された信号を加える必要がある。

4.2 真理値表を基準にする構成法

任意の論理関数が与えられると真理値表は一意に定まる。真理値表を表わす論理関数の表現形式には幾種類あり, ここでは最小論理和形の表現形式を採用する。外の表現形式の場合も同様に構成できるが回路は若干異なったものとなることがある。構成手順を以下に示す。

1) 真理値表からの構成手順

手順1 与えられた関数の真理値表を作成する。

手順2 真理値表をもとに最小論理和形表現形式の論理関数 f を求める。

手順3 論理関数 f の否定関数 $g = \bar{f}$ を求める。

手順4 f を伝達関数 M_p, g を伝達関数 M_n に対応させる。

手順5 M_p, M_n に対応する各 MOS スイッチ部を AND, OR 動作を考慮して接続し, f を満足する回路を構成する。

2) 回路構成例 二入力 AND 回路

上の構成手順に従って二入力 AND 回路(入力変数 A, B)を以下のように構成する。

ステップ1 手順1, 2より(真理値表省略)

$$f = AB \quad (M_p \text{ に対応}) \quad (4)$$

ステップ2 手順3より

$$g = \bar{f} = \overline{AB} = \bar{A} + \bar{B} \quad (M_n \text{ に対応}) \quad (5)$$

ステップ3 手順4, 5より M_p, M_n を考慮して回路を構成すると図6となる。

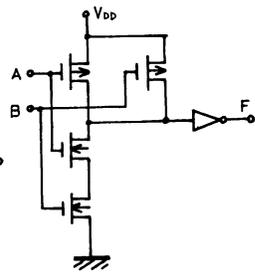
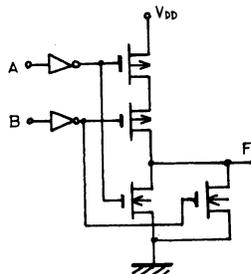


図6 AND回路(8個) 図7 AND回路(6個)

図 6 では A, B とも否定入力だけを使用しているのでインバータを出力部で共用すれば図 7 に等価変換できる。

4. 3 MOS 論理回路を CMOS 化する構成法

従来の MOS 論理回路は複合負ゲートによる構成法として、最小数の MOS セルでの構成法が研究・報告されている^{4)~8)}。この MOS 論理回路を CMOS 化するには 4. 2 の手順 3, 4 を参考にして以下の手順で変換すればよい。n チャネル MOS 回路を考えれば

- 手順 1 nMOS スイッチ部の接続状態に対応して pMOS スイッチ部の接続状態を定める。即ち
 - 直列接続は並列接続に
 - 並列接続は直列接続に
 変更して pMOS スイッチ部を構成する。
- 手順 2 負荷 MOSFET を手順 1 で作成した pMOS スイッチ部に置き換える。このとき pMOS スイッチ部の制御入力には対応する nMOS スイッチ部と同じ入力を加える。

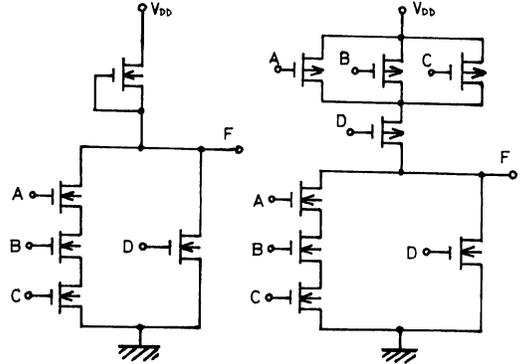


図 8 MOS 論理回路 図 9 CMOS 論理回路
となる。p チャネル MOS 論理回路についても同様にして変換できる。

回路例 1 図 8 の MOS 論理回路 ($f = \overline{A \cdot B \cdot C + D}$) を CMOS 化すると図 9 となる。

4. 2 の手順に従って論理関数を変形すると

$$f = \overline{ABC + D} = \overline{ABC} \cdot \overline{D} = (\overline{A + B + C}) \cdot \overline{D} \quad (6)$$

となりこれは M_p に対応する。負荷 MOSFET を pMOS スイッチ部に置き換えると図 9 になる。

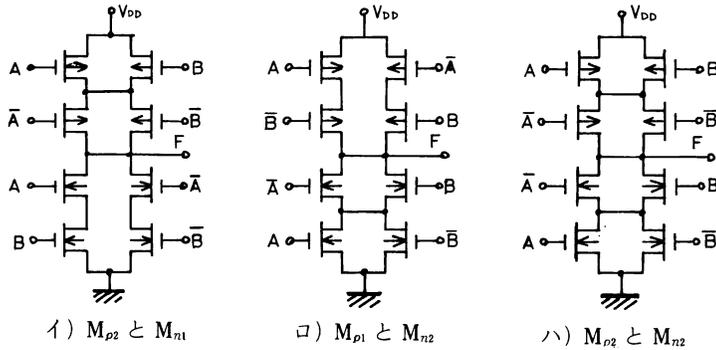


図10 二入力排他的論理和 (XOR) 回路

回路例 2 二入力排他的論理和回路

図 1 イ) の回路は pMOS スイッチ部と nMOS スイッチ部が上述の双対の関係になっていない。この回路の論理関数 f_{XOR} を変形して

$$f_{XOR} = \overline{AB} + \overline{AB} \quad (M_{p1} \text{ に対応}) \quad (7)$$

$$= (\overline{A + B}) \cdot (A + B) \quad (M_{p2} \text{ に対応}) \quad (8)$$

となる。又その否定関数 g は

$$g = \overline{f_{XOR}} = \overline{\overline{AB} + \overline{AB}} \quad (M_{n1} \text{ に対応}) \quad (9)$$

$$= (\overline{A + B}) \cdot (A + \overline{B}) \quad (M_{n2} \text{ に対応}) \quad (10)$$

となる。 M_{p1} , M_{p2} と M_{n1} , M_{n2} との組合せは 4

種類あり、残りの回路を図 10 に示す。これは論理関数の標準形に論理和標準形と論理積標準形とがあることに対応している。

5. 伝送ゲート形回路の構成法

今まで伝送ゲートは反転形 MOS セル相互を接続する程度にしか利用されていなかった。筆者らは新しく伝送ゲートとインバータとを基本構成要素とする構成法を考案した¹¹⁾。これには

- 1) 双方向ゲートを主として用いる試行錯誤的な構成法

2) 単方向ゲートを用いる真理値表からの構成法がある。後者については別の機会に報告する予定であるから前者を報告する。前者はさらに

イ) 真理値表を用いる方法

ロ) 論理関数の表現形式を変形する方法

があり、これらについて簡単な論理回路例と共に説明する。いずれの方法でも双方向伝送ゲートを主な構成要素として検討し、その中に単方向ゲートに置き換えられるものを変換する方法である。

5.1 真理値表を用いる試行錯誤法

この構成法の手順を以下に示す。

手順1 論理関数に対する真理値表を作成する。

手順2 変数の中から制御入力信号を定め、これによって真理値表を分割する。

表7 二入力AND回路及びOR回路

入力		出力f		制御入力	伝送入力	
A	B	AND	OR		AND	OR
0	0	0	0	A=0	f=A=0	f=B
0	1	0	1			
1	0	0	1	A=1	f=B	f=A=1
1	1	1	1			

回路例2 三入力AND及びOR回路

回路の真理値表と制御・伝送入力信号決定の過程

表8 三入力AND回路及びOR回路

入 力			AND回路			OR回路		
A	B	C	出力f	制御入力	伝送入力	出力f	制御入力	伝送入力
0	0	0	0	A=0	f=A=0	0	A=0, B=0	f=C
0	0	1	0			1		
0	1	0	0			1		
0	1	1	0	A=1, B=0	f=A=0	1	A=0, B=1	f=A=1
1	0	0	0			1		
1	0	1	0			1		
1	1	0	0	A=1, B=1	f=C	1	A=1	f=A=1
1	1	1	1			1		

手順3 分割された部分毎の真理値表について伝送入力信号を定める。もしこれを定められないときは手順2にもどり更に制御入力信号を追加して定める。

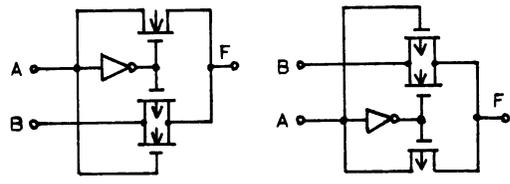
手順4 全部の部分真理値表について伝送入力信号、制御入力信号を定められたら、それにもとづき回路接続を行う。

手順5 双方向ゲート中単一の信号しか伝送しないものを単方向ゲートに置き換える。

回路構成例を二入力 AND, OR 回路及び三入力 AND, OR 回路で以下に示す。

回路例1 二入力 AND 回路 (入力 A, B 出力 f) と二入力 OR 回路

回路の真理値表及び入力信号決定の結果を表7にまとめて示す。これより回路図は図11となる。



イ) AND 回路

ロ) OR 回路

図11 二入力回路例

を表8に示す。これより回路図は図12となる。

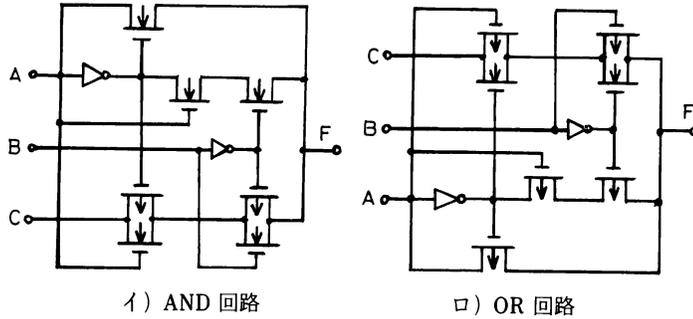


図12 三入力回路例

5. 2 論理関数の表現形式を変形する構成法

1) 二つの伝送入力の無条件並列接続

X, Y なる伝送入力信号があるときこれらを並列接続するために、ワイヤード OR 条件を考慮して制御信号 C を導入する。このためには

$$X \cdot C + Y \cdot \bar{C} \quad \text{または} \quad X \cdot \bar{C} + Y \cdot C$$

となるように接続すればよい。双方向伝送ゲートを用いて図示すると図 13 となる。このとき出力 f_1, f_2 は

$$f_1 = X \cdot C + Y \cdot \bar{C} \tag{11}$$

$$f_2 = X \cdot \bar{C} + Y \cdot C \tag{12}$$

となる。したがって論理関数の表現形式を式(11), (12)の形に変形すれば直接 CMOS 論理回路を構成できる。

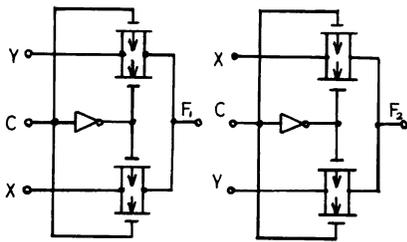


図13 X, Y の並列接続

2) 構成手順

1) の検討結果から表現形式の変形による構成手順を示すと以下の通りとなる。

手順1 論理関数 f を求める。

手順2 論理関数を $f = X \cdot C + Y \cdot \bar{C}$ (又は

$X \cdot \bar{C} + Y \cdot C$) の形に変形する。このとき必要が

あれば“0”となる項を加えたり，“1”をかけたりして変形をくり返す。

手順3 X, Y が一変数となるまで手順2をくり返し，変形結果をもとに回路を構成する。

手順4 表現形式 f の中に“1”，“0”の定数となる項があれば単方向伝送ゲートに双方向伝送ゲートを置き換える。

3) 回路例として二入力 AND, OR 回路や排他的論理和回路等を検討してみる。

回路例1 二入力 AND 回路 (入力 A, B)

$$f = A \cdot B = B \cdot A + A \cdot \bar{A} \quad (A \cdot \bar{A} = 0 \text{ を加える}) \tag{13}$$

A を制御入力とすると図 11 イ) の回路となる。

回路例2 二入力 OR 回路 (入力 A, B)

$$f = A + B = 1 \cdot A + B(A + \bar{A}) = A(1 + B) + B \cdot \bar{A}$$

$$\therefore f = 1 \cdot A + B \cdot \bar{A} \quad (1 = A + \bar{A} \text{ をかける}) \tag{14}$$

A を制御入力とすると図 11 ロ) の回路となる。

回路例3 二入力 XOR 回路 (入力 A, B)

$$f = A \cdot \bar{B} + \bar{A} \cdot B = \bar{B} \cdot A + B \cdot \bar{A} \tag{14}$$

A を制御入力とし双方向伝送ゲートで構成すると図 14 イ)，単方向伝送ゲートを使うため B も制御入力にすると図 14 ロ) となる。

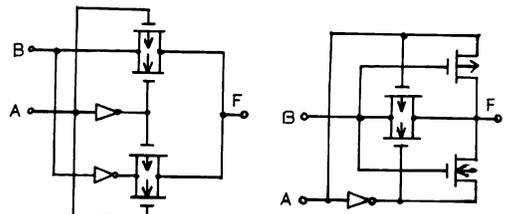


図14 二入力 XOR 回路

6. あとがき

MOS スイッチ動作モデルを提案し、これを用いて CMOS 論理回路の解析法や性質を述べた。さらに 2 段形 CMOS 論理回路の構成法の基本的な考え方や手順及び簡単な回路構成例を示した。

本文では基本的な 2 段形 1 出力の論理回路を対象としており、実際の LSI や VLSI 設計では多出力、多段形も含めて検討する必要がある。また使用 MOS スイッチ数やパターン設計を考慮した構成法等も検討すべきであり、今後引き続き研究する予定である。現在 1 出力 2 段形論理回路の MOS スイッチ数の最小化については若干の研究成果を得ているので別の機会に報告する予定である。

本研究に関連する今後の研究課題をまとめると

- 1) 多出力、多段形回路への拡張
- 2) チップ面積の最小化を考え LSI のパターン設計を考慮した構成法
- 3) 低消費電力化を考慮した構成法
- 4) パーソナルコンピュータを用いて論理回路を構成するためのプログラムの開発などがある。

最後に御指導頂く武石泰亮教授はじめ諸先生方に深く感謝の意を表します。

文 献

- 1) R. F. Spencer, Jr.: "MOS-Complex gates in digital systems design", IEEE Computer Group News, 2, 11, pp. 47-56, 1969
- 2) S. Muroga, VLSI System Design, John Wiley & Sons, 1982
(渡辺, 菅野監修, VLSI システム入門, ワイリー・ジャパン, 1984)
- 3) J. Mavor, M. Jack, P. Denyer, Introduction to MOSLSI Design, Addison-Wesley, 1983 (菅野, 桜井監訳, MOSLSI 設計入門, 産業図書, 昭和59年)
- 4) 茨木俊秀: "ゲート数および結線数を考慮した負関数最小論理回路", 信学論 (C), 54-C, 5, pp. 412-419 (昭46-05).
- 5) T. Ibaraki, S. Muroga: "Synthesis of Networks with a Minimum Number of Negative Gates", IEEE Trans, C-20, 1, pp. 48-58, 1971
- 6) 小高明夫, 野島晋: "単調関数によるブール関数の分解と MOS 論理回路合成への応用", 信学論 (D), J 60-D, 2, pp. 107-113 (昭52-02).
- 7) 中村圭二郎: "多段負ゲート回路の一構成法", 信学論 (D), J 60-D 4, pp. 298-304 (昭52-04).
- 8) 中村圭二郎: "多出力 2 段 MOS 論理回路の構成アルゴリズム", 信学論 (D), J 61-D 3, pp. 180-185 (昭53-03)
- 9) Muroga, S., Logic Design and Switching Theory, Wiley-Interscience, 1979. (室賀, 笹尾訳, 論理設計とスイッチング理論, 共立出版, 1981).
- 10) 山下 (義), 山下 (陸), 米山: "相補形 MOS トランジスタ (CMOST) による論理回路の構成", 昭和50年電四九支連大論文集513 (昭50).
- 11) 山下 (義), 山下 (陸): "CMOS 論理回路の一構成法 (伝送ゲート型)", 昭和58年電関九支連大論文集632 (昭58).
- 12) 山下 (陸), 山下 (義): "スタティック形 CMOS 論理回路 (2段形)", 昭和59年電子通信学会総合全国大会論文集592 (昭59).
- 13) Mead, C. and Conway, L., Introduction to VLSI Systems, Addison-Wesley, Reading, Mass., 1980 (菅野, 榊監訳, 超 LSI システム入門, 培風館, 1981).